

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-251148

(43)Date of publication of application : 14.09.2001

(51)Int.Cl.

H03F 1/32
H03F 1/34
H03F 3/24
H04J 1/00
H04J 11/00
H04J 13/00
H04L 27/36

(21)Application number : 2000-097092

(22)Date of filing : 31.03.2000

(71)Applicant : FUJITSU LTD

(72)Inventor : OIDE TAKAYOSHI
OISHI YASUYUKI
KUBO NORIO
HASE KAZUO
HAMADA HAJIME
ISHIKAWA HIROYOSHI

(30)Priority

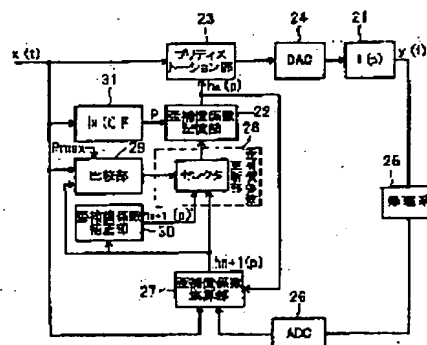
Priority number : 11372885 Priority date : 28.12.1999 Priority country : JP

(54) DISTORTION COMENSATING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To correct the magnitude of a distortion compensation coefficient beforehand while maintaining its phase so that a transmission signal subjected to distortion compensation can not exceed the dynamic range (DA converter limit) of a DA converter.
SOLUTION: When distortion compensation is performed by using a distortion compensation coefficient $h_{n+1}(p)$ before the coefficient $h_{n+1}(p)$ is operated and stored in a distortion compensation coefficient storing part 22 in a distortion compensation coefficient operating part 27, a comparing part 29 checks whether a signal $x(t)*h_{n+1}(p)$ obtained by distortion compensation surpasses the limit of a DA converter 24 beforehand, and when it surpasses the limit, a distortion compensation coefficient correcting part 30 corrects the distortion compensation coefficient so as to make its magnitude small while maintaining the its phase and stores the corrected coefficient to the storing part 22.

本発明のシングルキャリアタイプ歪補償装置の概略構成図



LEGAL STATUS

[Date of request for examination]

11.08.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The memory which the distorted compensation multiplier for compensating distortion of transmitted power amplifier is made to correspond to the power of a sending signal, and memorizes it, The PURIDISU torsion section which performs distorted compensation processing to a sending signal using the distorted compensation multiplier according to the power of a sending signal, The DA converter which changes into an analog signal the digital sending signal to which distorted compensation processing was performed, and is inputted into transmitted power amplifier, The distorted compensation multiplier operation part which calculates a distorted compensation multiplier based on the sending signal before distorted compensation, and the feedback signal fed back from the output side of transmitted power amplifier, In the distorted compensator equipped with the renewal section of a distorted compensation multiplier which updates the distorted compensation multiplier memorized by memory by the calculated distorted compensation multiplier So that the sending signal to which distorted compensation processing was performed may not exceed the dynamic range of said DA converter It is the distorted compensator which is equipped with the distorted compensation multiplier amendment section which amends the distorted compensation multiplier calculated by said distorted compensation multiplier operation part, and is characterized by said renewal section of a distorted compensation multiplier updating the distorted compensation multiplier memorized by said memory by said amended distorted compensation multiplier.

[Claim 2] The memory which the distorted compensation multiplier for compensating distortion of transmitted power amplifier is made to correspond to the power of a sending signal, and memorizes it, The distorted compensation multiplier $h_n(p)$ according to the power of a sending signal $x(t)$ is read from memory. The PURIDISU torsion section which performs distorted compensation processing to a sending signal using this distorted compensation multiplier, The DA converter which changes into an analog signal the digital sending signal to which distorted compensation processing was performed, The distorted compensation multiplier operation part which calculates distortion compensation multiplier $h_{n+1}(p)$ based on the sending signal before distorted compensation, and the output signal of transmitted power amplifier, In the distorted compensator equipped with the renewal section of a distorted compensation multiplier which updates a distorted compensation multiplier by making calculated distortion compensation multiplier $h_{n+1}(p)$ correspond to the power of a sending signal $x(t)$, and memorizing in said memory Before memorizing distortion compensation multiplier $h_{n+1}(p)$ calculated by distorted compensation multiplier operation part in said memory this distorted compensation multiplier $h_{n+1}(p)$ — the comparator which is outputted from the PURIDISU torsion section by the distorted compensation processing using $1(p)$, and compares the power P_a of a sending signal with the setting upper limit power P_{max} — It has the distorted compensation multiplier amendment section which amends distortion compensation multiplier $h_{n+1}(p)$ so that this sending-signal power P_a may become below the upper limit power P_{max} . Said renewal section of a distorted compensation multiplier The distorted compensator characterized by updating a distorted compensation multiplier by memorizing amended distorted compensation multiplier $h_{n+1}(p)$ in said memory when the power P_a of a sending signal is larger than said upper limit power P_{max} .

[Claim 3] $1/m$ m^2 , then said distorted compensation multiplier amendment section are a distorted compensator according to claim 2 characterized by outputting amended distorted compensation multiplier $h_{n+1}(p)$ by carrying out about distortion compensation multiplier $h_{n+1}(p)$ in the ratio of the power P_a of a sending signal, and the setting upper limit power P_{max} to which said distorted compensation processing was performed.

[Claim 4] Said renewal section of a distorted compensation multiplier is a distorted compensator according to claim 3 characterized by what a distorted compensation multiplier is updated for by memorizing said amended distorted compensation multiplier $h_{n+1}(p)$ in said memory, if the power P_a of a sending signal is smaller than said upper limit power and the power P_a of a sending signal is larger than said upper limit power in said calculated distortion compensation multiplier $h_{n+1}(p)$.

[Claim 5] When said distorted compensation multiplier amendment section subtracts the $1/n (=h_{n+1}(p)/n)$ from calculated distortion compensation multiplier $h_{n+1}(p)$ and a distorted compensation multiplier is amended, a degree type — the minimum integer N with which are satisfied of $n \leq h_{n+1}(p)/\Delta h_{n+1}(p) \leq 2N$ — asking — distorted compensation multiplier $h_{n+1}(p)$ — the distorted compensator according to claim 2 characterized by performing the operation of $1/n$ of $1(p)$ by the shift operation of N bit. however, $\Delta h_{n+1}(p) = 1(p)$ — a degree type — $h_{n+1}(p) = h_n(p) + \Delta h_{n+1}(p)$ — it is the value with which are satisfied of $1(p)$.

[Claim 6] The memory which the distorted compensation multiplier for compensating distortion of transmitted power amplifier is made to correspond to the power of a sending signal, and memorizes it, The PURIDISU torsion section

which performs distorted compensation processing to a sending signal using the distorted compensation multiplier according to the power of a sending signal, The DA converter which changes into an analog signal the digital sending signal to which distorted compensation processing was performed, and is inputted into transmitted power amplifier, The distorted compensation multiplier operation part which calculates a distorted compensation multiplier based on the sending signal before distorted compensation, and the feedback signal fed back from the output side of transmitted power amplifier, In the distorted compensator equipped with the renewal section of a distorted compensation multiplier which updates the distorted compensation multiplier memorized by memory by the calculated distorted compensation multiplier The maximum distortion compensation multiplier output section which outputs the square value of maximum distortion compensation multiplier $h(p)_{MAX}$ which can be found from the setting upper limit power P_{max} and the power of a sending signal $x(t)$, When distortion compensation multiplier $h_{n+1}(p)$ calculates in said distorted compensation multiplier operation part, So that the square value of the comparator which compares square value $|h_{n+1}(p)|^2$ of this distorted compensation multiplier with the size of square value $|h(p)_{MAX}|^2$ of said maximum distortion compensation multiplier, and said distorted compensation multiplier may become smaller than the square value of a maximum distortion compensation multiplier It is the distorted compensator carried out [that have the distorted compensation multiplier amendment section which amends a distorted compensation multiplier, and said renewal section of a distorted compensation multiplier updates the distorted compensation multiplier memorized by said memory by said amended distorted compensation multiplier when the square value of said distorted compensation multiplier is larger than the square value of a maximum distortion compensation multiplier, and] as the description.

[Claim 7] Said maximum distortion compensation multiplier output section is a distorted compensator according to claim 6 characterized by having the table which is made to correspond to the power of a sending signal $x(t)$, and memorizes the square value of maximum distortion compensation multiplier $h(p)_{MAX}$, and outputting in quest of the square value of maximum distortion compensation multiplier $h(p)_{MAX}$ from this table.

[Claim 8] said calculated distortion compensation multiplier h_{n+1} — the ratio of the power P_a of a sending signal, and the setting upper limit power P_{max} outputted from the PURIDISU torsion section by the distorted compensation processing using $1(p) = m/2$, then said distorted compensation multiplier amendment section — distorted compensation multiplier h_{n+1} — the distorted compensator according to claim 6 characterized by amending by $1/m$ carrying out $1(p)$.

[Claim 9] If square value $|h_{n+1}(p)|^2$ of a distorted compensation multiplier are smaller than square value $|h(p)_{MAX}|^2$ of a maximum distortion compensation multiplier as for the renewal section of a distorted compensation multiplier Update a distorted compensation multiplier by memorizing said amended distorted compensation multiplier $h_{n+1}(p)' (=h_{n+1}(p)/m)$ in said memory, if the square value of a distorted compensation multiplier is larger than the square value of a maximum distortion compensation multiplier in said calculated distortion compensation multiplier $h_{n+1}(p)$. The distorted compensator according to claim 6 characterized by things.

[Claim 10] When said distorted compensation multiplier amendment section subtracts the $1/n (=h_{n+1}(p)/n)$ from calculated distortion compensation multiplier $h_{n+1}(p)$ and a distorted compensation multiplier is amended, a degree type — the minimum integer N with which are satisfied of $n \leq h_{n+1}(p)/\Delta h_{n+1}(p) \leq 2N$ — asking — distorted compensation multiplier h_{n+1} — the distorted compensator according to claim 6 characterized by performing the operation of $1/n$ of $1(p)$ by the shift of N bit. however, $\Delta h_{n+1} = 1(p) =$ a degree type — $h_{n+1}(p) = h_n(p) + \Delta h_{n+1}$ — it is the value with which are satisfied of $1(p)$.

[Claim 11] The memory which the distorted compensation multiplier for compensating distortion of transmitted power amplifier is made to correspond to the power of a sending signal, and memorizes it, The PURIDISU torsion section which performs distorted compensation processing to a sending signal using the distorted compensation multiplier according to the power of a sending signal, The DA converter which changes into an analog signal the digital sending signal to which distorted compensation processing was performed, and is inputted into transmitted power amplifier, The distorted compensation multiplier operation part which calculates a distorted compensation multiplier based on the sending signal before distorted compensation, and the feedback signal fed back from the output side of transmitted power amplifier, In the distorted compensator equipped with the renewal section of a distorted compensation multiplier which updates the distorted compensation multiplier memorized by memory by the calculated distorted compensation multiplier Distortion compensation multiplier $h_{n+1}(p)$ is amended so that the power of the sending signal when performing distorted compensation processing to a sending signal $x(t)$ using distortion compensation multiplier $h_{n+1}(p)$ calculated by distorted compensation multiplier operation part may become [P_a] smaller than the setting upper limit power P_{max} . When the power P_a of the sending signal by which amended this distorted compensation multiplier $h_{n+1}(p)'$ was made to correspond to the combination of $|x(t)|^2$ and $h_{n+1}(p)$, and memorized, and distorted compensation was carried out is smaller than the upper limit power P_{max} , Distortion compensation multiplier $h_{n+1}(p)$ is remained as it is. It has $|x(t)|^2$ and the table which is made to correspond to the combination of $h_{n+1}(p)$ and is memorized. Distortion compensation multiplier $h_{n+1}(p)$ which said renewal section of a distorted compensation multiplier calculated when a distorted compensation multiplier calculated by said distorted compensation multiplier operation part, The distorted compensator characterized by asking for the distorted compensation multiplier according to the combination of power $|x(t)|^2$ of a sending signal $x(t)$ from said table, and memorizing this distorted compensation multiplier in said memory.

[Claim 12] The memory which the distorted compensation multiplier for compensating distortion of transmitted power amplifier is made to correspond to the power of a sending signal, and memorizes it, The PURIDISU torsion section which performs distorted compensation processing to a sending signal using the distorted compensation multiplier according to the power of a sending signal, The DA converter which changes into an analog signal the

digital sending signal to which distorted compensation processing was performed, and is inputted into transmitted power amplifier. The distorted compensation multiplier operation part which calculates a distorted compensation multiplier based on the sending signal before distorted compensation, and the feedback signal fed back from the output side of transmitted power amplifier. In the distorted compensator equipped with the renewal section of a distorted compensation multiplier which updates the distorted compensation multiplier memorized by memory by the calculated distorted compensation multiplier. The distorted compensation multiplier $h_n(p)$ is amended so that the power P_a of the sending signal when performing distorted compensation processing to a sending signal $x(t)$ using the distorted compensation multiplier $h_n(p)$ calculated by distorted compensation multiplier operation part may become smaller than the setting upper limit power P_{max} . When the power P_a of the sending signal by which distorted this compensation multiplier [which was amended] $h_n(p)$ ' was made to correspond to the combination of $|x(t)|^2$ and $h_n(p)$, and memorized, and distorted compensation was carried out is smaller than the setting upper limit power P_{max} . It has the table which the distorted compensation multiplier $h_n(p)$ is made to correspond to the combination of $|x(t)|^2$ and $h_n(p)$, and memorizes it as it is. The distorted compensation multiplier $h_n(p)$ corresponding $|x(t)|^2$ to the power of a sending signal $x(t)$ is read from said memory. | The distorted compensator characterized by reading the distorted compensation multiplier according to the combination of $|x(t)|^2$ and the distorted compensation multiplier $h_n(p)$ from said table, and inputting into the PURIDISU torsion section.

[Claim 13] Claim 1 characterized by having the frequency multiplex section which performs and carries out multiplex [of the digital frequency shift operation decided by carrier spacing] to each digital sending signal, and inputting into the PURIDISU torsion section, distorted compensation multiplier operation part, etc. by making this frequency multiple signal into a sending signal $x(t)$, claim 2, or a distorted compensator according to claim 6, 11, or 12.

[Claim 14] The memory which the distorted compensation multiplier for compensating distortion of transmitted power amplifier is made to correspond to the power of a sending signal, and memorizes it, Read the distorted compensation multiplier according to the power of a sending signal from memory, and distorted compensation processing is performed to a sending signal using this distorted compensation multiplier. The error signal generating section which outputs the error signal which is a difference with the sending signal before performing distorted compensation processing with the sending signal obtained by performing distorted compensation processing. The DA converter which changes and outputs this error signal to an analog, the synthetic section which adds a DA converter output to the sending signal of an analog, and is inputted into transmitted power amplifier. The distorted compensation multiplier operation part which calculates a distorted compensation multiplier based on the sending signal before distorted compensation, and the output signal of transmitted power amplifier. In the distorted compensator equipped with the renewal section of a distorted compensation multiplier which updates a distorted compensation multiplier by making the calculated distorted compensation multiplier correspond to the power of a sending signal, and memorizing it in said memory So that an error signal may not exceed the dynamic range of said DA converter It is the distorted compensator which is equipped with the distorted compensation multiplier amendment section which amends the distorted compensation multiplier calculated by said distorted compensation multiplier operation part, and is characterized by the renewal section of a distorted compensation multiplier updating a distorted compensation multiplier by memorizing said amended distorted compensation multiplier in said memory.

[Claim 15] The memory which the distorted compensation multiplier for compensating distortion of transmitted power amplifier is made to correspond to the power of a sending signal, and memorizes it, Read the distorted compensation multiplier according to the power of a sending signal from memory, and distorted compensation processing is performed to a sending signal using this distorted compensation multiplier. The error signal generating section which outputs the error signal which is a difference with the sending signal before performing distorted compensation processing with the sending signal obtained by performing distorted compensation processing. The DA converter which changes and outputs this error signal to an analog, the synthetic section which adds a DA converter output to the sending signal of an analog, and is inputted into transmitted power amplifier. The distorted compensation multiplier operation part which calculates a distorted compensation multiplier based on the sending signal before distorted compensation, and the output signal of transmitted power amplifier. In the distorted compensator equipped with the renewal section of a distorted compensation multiplier which updates a distorted compensation multiplier by making the calculated distorted compensation multiplier correspond to the power of a sending signal, and memorizing it in said memory Before memorizing distortion compensation multiplier $h_{n+1}(p)$ calculated by distorted compensation multiplier operation part in said memory this distorted compensation multiplier h_n , when the comparator which compares square value $|h_{n+1}(p)|^2$ of 1 (p) with square value $|h(n) MAX|^2$ of a setting maximum distortion compensation multiplier, and $|h_{n+1}(p)|^2$ are larger than $|h(n) MAX|^2$ It has the distorted compensation multiplier amendment section which amends distortion compensation multiplier $h_{n+1}(p)$. Said renewal section of a distorted compensation multiplier If $h_{n+1}(p)|^2$ are smaller than $|h(p) MAX|^2$, | Said calculated distorted compensation multiplier | The distorted compensator characterized by what a distorted compensation multiplier is updated for by memorizing said amended distorted compensation multiplier in said memory if $h_{n+1}(p)|^2$ are larger than $|h(p) MAX|^2$.

[Claim 16] $1/m$ m^2 , then said distorted compensation multiplier amendment section are a distorted compensator according to claim 15 characterized by outputting amended distorted compensation multiplier $h_{n+1}(p)$ ' by carrying out about distortion compensation multiplier $h_{n+1}(p)$ in the ratio of aforementioned $|h_{n+1}(p)|^2$ and $|h(n) MAX|^2$.

[Claim 17] The memory which the distorted compensation multiplier for compensating distortion of transmitted power amplifier is made to correspond to the power of a sending signal, and memorizes it, Read the distorted compensation multiplier according to the power of a sending signal from memory, and distorted compensation processing is performed to a sending signal using this distorted compensation multiplier. The error signal generating

section which outputs the error signal which is a difference with the sending signal before performing distorted compensation processing with the sending signal obtained by performing distorted compensation processing, The DA converter which changes and outputs this error signal to an analog, the synthetic section which adds a DA converter output to the sending signal of an analog, and is inputted into transmitted power amplifier, The distorted compensation multiplier operation part which calculates a distorted compensation multiplier based on the sending signal before distorted compensation, and the output signal of transmitted power amplifier, In the distorted compensator equipped with the renewal section of a distorted compensation multiplier which updates a distorted compensation multiplier by making the calculated distorted compensation multiplier correspond to the power of a sending signal, and memorizing it in said memory Distortion compensation multiplier $h_{n+1}(p)$ is amended so that the square value of distortion compensation multiplier $h_{n+1}(p)$ calculated by distorted compensation multiplier operation part may become smaller than square value $|h(n)|^2_{MAX}$ of a setting maximum distortion compensation multiplier. It has the table which amended this distorted compensation multiplier $h_{n+1}(p)$ ' is made to correspond to $h_{n+1}(p)$, and memorizes it. When a distorted compensation multiplier calculates by said distorted compensation multiplier operation part, said renewal section of a distorted compensation multiplier asks for correction value $h_{n+1}(p)$ ' of a distorted compensation multiplier according to calculated distortion compensation multiplier $h_{n+1}(p)$ from said table. The distorted compensator characterized by memorizing this correction value $h_{n+1}(p)$ ' in said memory.

[Claim 18] The memory which the distorted compensation multiplier for compensating distortion of transmitted power amplifier is made to correspond to the power of a sending signal, and memorizes it, Read the distorted compensation multiplier according to the power of a sending signal from memory, and distorted compensation processing is performed to a sending signal using this distorted compensation multiplier.

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] It is involved in a distorted compensator and this invention is (1) especially. The distorted compensator and (2) flattery actuation can be made to perform about a phase even when control exceeding the output possible range becomes performed, amplitude limiting is performed and amplitude limiting is performed. Control the signal amplitude fed back from transmitted power amplifier, limiting value is made not to exceed, and it is related to a distorted compensator [enabled it / to carry out distorted compensation to stability].

[0002]

[Description of the Prior Art] A frequency resource is tight in recent years, and many high efficiency transmissions by digitization have come to be used in radio. The technique of straight-line-izing a transmitting side, especially the magnification property of power amplifier, stopping non-*****, and reducing adjacent channel leakage power when applying multiple-value amplitude modulation to radio is important, and when aiming at improvement in power efficiency using the amplifier inferior to linearity, the technique of compensating distorted generating by it is indispensable.

[0003] Drawing 45 is the block diagram showing an example of the sending set in the conventional walkie-talkie, the sending-signal generator 1 sends out a serial digital data train, and the serial/parallel-conversion machine (S/P transducer) 2 distributes 1 bit of digital data trains by turns [each], and it changes it into two sequences of an inphase component signal (I signal: In-phase component) and an orthogonal component signal (Q signal: Quadrature component). DA converter 3 changes each of an I signal and a Q signal into the baseband signaling of an analog, and inputs it into the quadrature modulation machine 4. The quadrature modulation machine 4 carries out the multiplication of the inputted I signal and the signal which carried out the 90° phase shifts of this to the criteria subcarrier at the Q signal (transmitting baseband signaling), respectively, and outputs by performing orthogonal transformation by adding a multiplication result. A frequency converter 5 mixes and carries out frequency conversion of a quadrature modulation signal and the local oscillation signal, and the transmitted power amplifier 6 carries out power amplification of the subcarrier outputted from the frequency converter 5, and it emits it in the air from aerial (antenna) 7.

[0004] mobile communication, such as W-CDMA and PDC (Personal Digital Cellular), — setting — the transmitted power of a sending set — 10mW— several — it is as large as W, and the input-output behavioral characteristics (distorted function $f(p)$) of transmitted power amplifier turn into nonlinearity, as the dotted line of drawing 46 (a) shows. Nonlinear distortion occurs with these non-linear characteristics, as shown in the continuous line of drawing 46 (b), a side lobe is raised, and it reveals to an adjacent channel, and the frequency spectrum of the transmit-frequencies f_0 circumference produces contiguity active jamming. That is, the power which a transmission wave reveals to a contiguity frequency channel as nonlinear distortion shows to (b) will become large. Leakage power is explained as ACPR (Adjacent Channel Power Ratio). ACPR is the ratio of the contiguity leakage power which leaks to the adjacent channel between dashed-line A of (b), the power of the view channel which is the spectrum area between dashed-line A', dashed-line A and A', and two-dot chain line B and B' and which is the area of spectrum. Such leakage power will become a noise to other channels, and will degrade the communication link quality of the channel. Therefore, it is specified severely.

[0005] In the line type field (refer to drawing 46 (a)) of power amplifier, leakage power is small and becomes large in a nonlinear field. So, in order to consider as the transmitted power amplifier of high power, it is necessary to make a linearity field large. However, for that, the amplifier beyond actually required capacity is needed, and there is a problem which becomes disadvantageous in cost and equipment size. Moreover, it is low as the usual amplifier shows the power load effectiveness in a linearity field to drawing 47. It is the part from which the difference (Pout-Pin) of the output power Pout and input power Pin to the rated power of amplifier is (%) comparatively, and power load effectiveness becomes heat here. Therefore, big power consumption is needed for obtaining required transmitted power, and it is very disadvantageous also in power efficiency. Therefore, in order to press down power consumption low, use in the nonlinear field of amplifier is indispensable. However, distortion will increase as mentioned above and ACPR will be degraded. It is the radio equipment with a distorted compensation function (linear riser) which compensates distortion of transmitted power to this situation, and realizes use of the amplifier in a field with sufficient power load effectiveness. A clinical recording JIAN loop-formation method, a Porol loop-formation method, etc. are proposed as a distorted compensation technique of a feedback system, and distorted oppression of power amplifier is performed.

[0006] Drawing 48 is the block diagram of the sending set equipped with the digital nonlinear distorted compensation function in which DSP was used. The digital data group (sending signal) sent out from the sending-signal generator 1 is inputted into the distorted compensation section 8 which is changed into two sequences of an I signal and a Q signal in the S/P converter 2, and consists of DSPs. Distorted compensation multiplier storage section 8a which memorizes distorted compensation multiplier $h(p_i)$ according to the power level 0-1023 of a sending signal $x(t)$, and ($i=0-1023$) as the distorted compensation section 8 is functionally shown in drawing 49, PURIDISU torsion section 8b which performs distorted compensation processing (PURIDISU torsion) to this sending signal using distorted compensation multiplier $h(p_i)$ according to sending-signal level, Recovery signal (feedback signal) $y(t)$ to which it restored with the sending signal $x(t)$ and the rectangular wave detector mentioned later is compared, and it has distorted compensation multiplier operation part 8c which calculates and updates distorted compensation multiplier $h(p_i)$ so that the difference may serve as zero.

[0007] The distorted compensation section 8 performs PURIDISU torsion processing to this sending signal using distorted compensation multiplier $h(p_i)$ according to the power level of a sending signal $x(t)$, and inputs it into DA converter 3. DA converter 3 changes into the baseband signaling of an analog the I signal and Q signal which were inputted, and inputs them into the quadrature modulation machine 4. The quadrature modulation machine 4 carries out the multiplication of the inputted I signal and the signal which carried out the 900 phase shifts of this to the criteria subcarrier at the Q signal, respectively, and outputs by performing orthogonal transformation by adding a multiplication result. A frequency converter 5 mixes and carries out frequency conversion of a quadrature modulation signal and the local oscillation signal, and the transmitted power amplifier 6 carries out power amplification of the carrier signal outputted from the frequency converter 5, and it emits it in the air from aerial (antenna) 7.

[0008] A part of sending signal is inputted into a frequency converter 10 through a directional coupler 9, frequency conversion of it is carried out here, and it is inputted into the rectangular wave detector 11. The rectangular wave detector 11 carries out the multiplication of the signal which carried out the 900 phase shifts of this to the criteria subcarrier, respectively to an input signal, performs rectangular detection, reproduces I of the baseband in a transmitting side, and a Q signal, and inputs them into A-D converter 12. A-D converter 12 changes into digital one I and the Q signal which were inputted, and inputs them into the distorted compensation section 8. The distorted compensation section 8 compares the feedback signal to which it restored with the sending signal and the rectangular wave detector 11 before distorted compensation by adaptive signal processing which used the LMS (Least Mean Square) algorithm, and it calculates and updates distorted compensation multiplier $h(p_i)$ so that the difference may serve as zero. Subsequently, PURIDISU torsion processing is performed and outputted using the distorted compensation multiplier updated to the sending signal which a degree should transmit. Henceforth, by repeating the above-mentioned actuation, the nonlinear distortion of the transmitted power amplifier 6 is suppressed, and adjacent channel leakage power is reduced.

[0009] Drawing 50 is the explanatory view of the distorted compensation processing by Adaptation LMS. The multiplier with which 15a carries out the multiplication of distortion compensation multiplier $h_{n-1}(p)$ to the sending signal (quadrature modulation signal) $x(t)$ of baseband (it corresponds to PURIDISU torsion section 8b of drawing 49), The transmitted power amplifier with which 15b has distorted function $f(p)$, the feedback system to which 15c returns output signal [from transmitted power amplifier] $y(t)$, The operation part which calculates 15d ($=x(t)^2$) of power p of a sending signal $x(t)$ (amplitude-power conversion section), While 15e outputs a sending signal x (distortion compensation multiplier $h_{n-1}(p)$ are the distorted compensation multiplier storage section (it corresponds to distorted compensation multiplier storage section 8a of drawing 49) which memorizes the distorted compensation multiplier according to each power of t , and corresponding to the power p of a sending signal $x(t)$) Distortion compensation multiplier $h_{n-1}(p)$ is updated by the distorted compensation multiplier $h_n(p)$ which can be found with an LMS algorithm.

[0010] The subtractor which outputs 15f of conjugation complex signal output sections, and outputs 15g difference [of a sending signal $x(t)$ and feedback recovery signal $y(t)$] $e(t)$, The multiplier which performs 15h of multiplication of $e(t)$ and $u^*(t)$, the multiplier with which 15i performs $h_{n-1}(p)$ and the multiplication of $y^*(t)$, The multiplier with which 15j carries out the multiplication of the step size parameter μ , the adder with which 15k adds $h_{n-1}(p)$ and $\mu e(t) u^*(t)$, 15m, 15n, and 15p are the delay sections, and add a time delay after a sending signal $x(t)$ inputs until feedback recovery signal $y(t)$ inputs into 15g of subtractors to an input signal. 15f, 15h-15j constitute the rotation operation part 16. $u(t)$ is the signal which received distortion. The operation shown below is performed by the above-mentioned configuration.

$h_n(p) = h_{n-1}(p) + \mu e(t) u^*(t)$ $e(t) = x(t) - y(t)$ $y(t) = h_{n-1}(p) x(t) f(p)$ $u(t) = x(t) f(p) = h_{n-1}(p) y(t)$ $P = |x(t)|^2$ It corrects. Complex and * of x , and y , f , h , u and e are complexes conjugate. By performing the above-mentioned data processing, distorted compensation multiplier $h(p)$ is updated so that difference [of a sending signal $x(t)$ and feedback recovery signal $y(t)$] $e(t)$ may become min, and finally it converges on the optimal distorted compensation multiplier value, and distortion of transmitted power amplifier is compensated.

[0011] drawing 51 — $x(t) I[=](t) +$ — it is the block diagram of the whole sending set expressed as $jQ(t)$, and the same sign is given to the same part as drawing 48 and drawing 50. As mentioned above, a digital nonlinear distorted compensation method is the principle of carrying out feedback detection of the subcarrier obtained by carrying out quadrature modulation of the sending signal, carrying out digital conversion, comparing the amplitude of a sending signal and a return signal, and updating a distorted compensation multiplier on real time based on a comparison result. According to this nonlinear distorted compensation method, distortion can be decreased, ACPR can be filled

with high power also in actuation in a nonlinear field (namely, leakage power low prevention), and power load effectiveness can be improved, and low-power-ization is attained. Moreover, calorific value is reducible with an improvement of power load effectiveness, an exoergic cure can mitigate and, thereby, the scales of equipment can also be reduced.

[0012]

[Problem(s) to be Solved by the Invention] In distorted generating, the amplitude distortion and phase distortion of a signal may occur in coincidence. This is because amplitude limiting of this signal will be carried out to the threshold value of a distorted compensator, amplitude value will stick to the upper limit of a distorted compensator and phase control will become impossible, if the sending signal by which distorted compensation was carried out exceeds the compensation amplitude range of a distorted compensating network. Although transmitted power amplifier has the nonlinear characteristic by saturation, it is used in the condition near saturation as much as possible on send efficiency as mentioned above. on the other hand — a distorted compensator — a property — linearity — in order to perform a distorted compensatory control like, if it is used in the condition near saturation, the distorted compensation multiplier $h_n(p)$ will become large gradually. For this reason, the level of complex multiplication) increases, sending-signal $x(t) * h(p)$ (* after distorted compensation exceeds the dynamic range of a DA converter, and the output swing of a DA converter is distorted. Consequently, harmonic content comes to be contained in a sending signal, a strain and contiguity disclosure generate not only the amplitude but a phase, and spectral characteristics become substandard.

[0013] Drawing 52 is the trouble explanatory view of the conventional distorted compensator, and a dotted line LM is the dynamic range (DA converter limit) of DA converter 3. Distortion will not be generated if the level of sending-signal $x(t) * h_n(p)$ outputted from the PURIDISU torsion section of a distorted compensator exists inside the DA converter limit LM. however, distorted compensation multiplier h_n [as opposed to a sending signal $x(t)$ by distorted compensation processing] — if 1 (p) becomes large, it will illustrate — as — $x(t) * h_n - 1(p)$ exceeds the DA converter limit LM, the amplitude clamps to the DA converter limit LM, harmonic content occurs, and a phase is also distorted.

[0014] that is, the nonlinear degree of power amplifier is going to enlarge the amplitude according to distortion compensation in the large field — being also alike — not being concerned — the amplitude of return signal $y(t)$ — large — not becoming — amplitude difference [of the sending signal x before amendment (t), and a return signal] $e(t)$ It becomes large. if an amplitude difference becomes large, as for the distorted compensation section 8, distorted compensation will not be performed as expected — judging — further — difference signal $e(t)$ it becomes small — as — distorted compensation — counting $h_n - 1(p)$ is enlarged. Consequently, the signal amplitude after distorted compensation is made to increase further. Consequently, signal amplitude will exceed limiting value (limit LM of DA converter 3). Therefore, the signal beyond limiting value serves as fixed amplitude value, and the significant component (the amplitude and phase) of a signal is missing. thereby, in addition to an amplitude component, compensation of a phase component also becomes impossible — getting it blocked — the failure that distortion compensation does not carry out normal actuation occurs. The problem on which a distorted property deteriorates from the case where both the amplitude and a phase will become uncontrollable and it will not carry out distorted compensation by the above if the amplitude exceeds the DA converter limit LM occurs.

[0015] As mentioned above, even if the purpose of this invention amends the magnitude of a distorted compensation multiplier in advance, with the phase maintained so that the input amplitude of a DA converter may not exceed the limit of a DA converter, and it carries out amplitude limiting by this, it is enabling phase flattery, as distortion does not occur. Even if another purpose of this invention amends the magnitude of a distorted compensation multiplier in advance, with the phase maintained so that the upper limit power by which the power of the sending signal after distorted compensation is permitted may not be exceeded, and it carries out amplitude limiting by this, it is enabling phase flattery. Another target of this invention is enabling it to calculate the correction value of a distorted compensation multiplier simply. Another purpose of this invention is decreasing the difference of a sending signal and a feedback signal, preventing a distorted compensation multiplier becoming large by this, and making it the sending signal after distorted compensation not exceed limiting value by controlling the amplitude of a feedback signal.

[0016] Another purpose of this invention is (1). The distorted compensation method which carries out the multiplication of the distorted compensation multiplier to a sending signal, and is inputted into a distorted device, and (2) It is enabling it to apply to the distorted compensation method which generates the difference of the signal and the sending signal which were obtained by carrying out the multiplication of the distorted compensation multiplier to a reference sign (sending signal) as an error signal, carries out the DA translation of this error signal and the main signal (sending signal) separately, compounds them, and is inputted into a distorted device. Another purpose of this invention is offering a distorted compensator applicable to the sending set of a single carrier, and the sending set of a multi-carrier.

[0017]

[Means for Solving the Problem] According to this invention, the above-mentioned technical problem is attained by the distorted compensator which amends a distorted compensation multiplier in advance and is memorized in the distorted compensation multiplier storage section so that the sending signal to which distorted compensation processing was performed may not exceed the dynamic range of a DA converter. namely, distorted compensation multiplier h_n — before 1 (p)'s calculating and memorizing in the distorted compensation multiplier storage section — this distorted compensation multiplier h_n , when carrying out distorted compensation using 1 (p) A distortion

assistant In the signal acquired by ** exceeding the limit of a DA converter, or investigating in advance and exceeding, the magnitude of a distorted compensation multiplier is amended so that it may become small, with the phase maintained, and it memorizes it in the storage section.

[0018] Before according to this invention distortion compensation multiplier $h_{n+1}(p)$'s calculating the above-mentioned technical problem and memorizing it in the distorted compensation multiplier storage section Power $|x(t)|^2$ of distortion compensatory-signal $x(t) * h_{n+1}(p)$ exceed the setting upper limit power P_{max} of a DA converter, or it investigates in advance. When exceeding, it is attained by amending the magnitude of a distorted compensation multiplier so that it may become small, with the phase maintained, and memorizing it in the storage section. according to this invention in the above-mentioned technical problem — distorted compensation multiplier h_{n+1} — before 1 (p's) calculating and memorizing in the distorted compensation multiplier storage section — distorted compensation multiplier h_{n+1} — the square value of 1 (p) is larger than the square value of setting maximum-distortion compensation multiplier $h(p)$ MAX, or it investigates in advance, and in being large, the magnitude of a distorted compensation multiplier amends so that it may become small, with the phase maintained, and it memorizes to the storage section. If it is made above, it will be lost that a distorted compensatory signal (DA converter input) exceeds a DA converter limit (dynamic range), and amplitude distortion and phase distortion will not occur in a DA converter. And since it is what makes the magnitude small, with the phase of distortion compensation multiplier $h_{n+1}(p)$ held, phase flattery is attained.

[0019] According to this invention, the above-mentioned technical problem is attained by controlling the amplitude of the feedback signal from an amplifier output, when the limit over of the signal amplitude after distorted compensation is detected. By controlling the amplitude of a feedback signal to become large at the time of limit over, the difference of a sending signal and a feedback signal becomes small, a distorted compensation multiplier decreases, and the limit over of the signal amplitude after distorted compensation can be prevented. Consequently, it is lost that the significant component (the amplitude and phase) of a signal is missing, and distortion compensation can be carried out to stability. According to this invention, the above-mentioned technical problem table-izes correspondence of the sending-signal amplitude or sending-signal power, and gain, searches for the gain according to the actual sending-signal amplitude or sending-signal power from a table, and is attained by controlling the amplitude of a feedback signal based on this gain. The limit over of the signal amplitude after this distorted compensation can be prevented without detecting whether the signal amplitude after distorted compensation exceeds limiting value, if it does in this way.

[0020] In addition, this invention is (1). The 1st distorted compensation method which carries out the multiplication of the distorted compensation multiplier to a sending signal, and carries out distorted compensation, and (2) The difference of the signal and sending signal which were obtained by carrying out the multiplication of the distorted compensation multiplier to a reference sign (sending signal) is generated as an error signal, and it can apply to each 2nd distorted compensation method which carries out the DA translation of an error signal and the main signal (sending signal) separately, compounds them, and is inputted into a distorted device. Furthermore, it is applicable to the sending set of a single carrier, or the sending set of a multi-carrier.

[0021]

[Embodiment of the Invention] (A) (Principle a) outline block diagram 1 of this invention is an outline block diagram of this invention. The device with which 21 generates the nonlinear distortion of function $f(p)$ (transmitted power amplifier), The distorted compensation multiplier storage section which 22 makes distorted compensation multiplier $h(p)$ which amends distortion of transmitted power amplifier correspond to the power $p (=|x(t)|^2)$ of a sending signal $x(t)$, and is memorized, 23 reads the distorted compensation multiplier $h_n(p)$ according to the power p of a sending signal $x(t)$ from the storage section 22. The PURIDISU torsion section which performs distorted compensation processing to a sending signal using this distorted compensation multiplier, digital sending-signal $x(t) *$ by which distorted compensation processing was performed to 24 — the DA converter which changes $h_n(p)$ into an analog signal — The feedback system to which 25 returns output-signal [of transmitted power amplifier] $y(t)$, the A-D converter from which 26 changes a feedback signal into digital one, The distorted compensation multiplier operation part to which 27 calculates distortion compensation multiplier $h_{n+1}(p)$ based on the sending signal $x(t)$ and feedback signal before distorted compensation, 28 is the renewal section of a distorted compensation multiplier which updates a distorted compensation multiplier, and [0022] by making calculated distortion compensation multiplier $h_{n+1}(p)$ or amended distorted compensation multiplier $h_{n+1}(p)'$ correspond to power $|x(t)|^2$ of a sending signal, and memorizing in the storage section 22. Before memorizing distortion compensation multiplier $h_{n+1}(p)$ which 29 is a comparator and was calculated by the distorted compensation multiplier operation part 27 in the storage section 22 this distorted compensation multiplier h_{n+1} — what compares the maximum-electric-power value P_{max} specified by the dynamic range of the power P_a of the sending signal which will come out and exist $(=|x(t)|^2 * h_{n+1}(p))$ and DA converter 24 which are outputted from the PURIDISU torsion section 23 by the distorted compensation processing using 1 (p) — It is the power operation part of the sending signal in which 30 generates the distorted compensation multiplier amendment section, and 31 generates the read-out address / write-in address of the distorted compensation multiplier storage section 22.

[0023] (b) The principle explanatory view 2 of this invention is a principle explanatory view of this invention. The upper limit of a distorted compensatory signal is prescribed by the number of bits of digital data, or the number of bits (dynamic range) of DA converter 24 in the distorted compensator of the digital configuration of drawing 1. Below, an upper limit shall be restricted by the dynamic range of DA converter 24. In drawing 2, the DA converter limit as which small square LMS of a broken line is specified by the dynamic range of a DA converter, and the large

rectangular head LML are operation limits specified with the number of bits of digital data. If the sending signal before performing distorted compensation processing is set to $x(t)$ and the distorted compensation multiplier according to the power of this sending signal is set to $h_n(p)$, the distorted compensatory signal outputted from the PURIDISU torsion section 23 will become $x(t) * h_n(p)$. If this distortion compensatory-signal $x(t) * h_n(p)$ is less than the circle that touches the DA converter limit LMS, even if what kind of phase a sending signal $x(t)$ is, the DA converter limit LML will not be exceeded and the amplitude and a phase will not be distorted in DA converter 24. [0024] However, distorted function f (distortion compensation multiplier $h_{n+1}(p)$ which will be outputted from the distorted compensation multiplier operation part 27 by the difference of the sending signal x before distorted compensation (t) and a feedback signal becoming large if the output swing of the transmitted power amplifier 21 becomes large in an operation of p) becomes large. this case — this distorted compensation multiplier h_{n+1} — if 1 (p) is not amended but it memorizes in the distorted compensation multiplier storage section 22 as it is, when or this distorted compensation multiplier will read — having — the PURIDISU torsion section 23 — distorted compensatory signal $x(t) * h_{n+1}$ — 1 (p) outputs. At this time, it is a distorted compensatory signal. If $x(t) * h_{n+1}(p)$ exceeds the DA converter limit LMS, amplitude distortion and phase distortion will occur in this DA converter. then, distorted compensation multiplier h_{n+1} — before 1 (p) calculates and the storage section 22 memorizes — this distorted compensation multiplier h_{n+1} , when carrying out distorted compensation using 1 (p) In signal $x(t) * h_{n+1}(p)$ obtained according to distorted compensation exceeding the limit of a DA converter, or investigating in advance and exceeding, it amends the magnitude of a distorted compensation multiplier so that it may become small, with the phase maintained. If it does in this way, amplitude limiting of the DA converter input being carried out, and exceeding the DA converter limit LMS will be lost, and amplitude distortion and phase distortion will not occur in a DA converter. And since it is what makes the magnitude small, with the phase of distortion compensation multiplier $h_{n+1}(p)$ held, phase flatness is attained.

[0025] (c) amplitude limiting, as mentioned above the comparator 29 by amplitude control — distorted compensation multiplier h_{n+1} — when 1 (p) can be found, before memorizing this distorted compensation multiplier in the storage section 22 — distorted compensation multiplier h_{n+1} — distorted compensatory-signal $x(t) * h_{n+1}$ which is outputted from the PURIDISU torsion section 23 by the distorted compensation processing using 1 (p) and which will come out and exist — compare with 1 (p) and the DA converter limit LMS. Moreover, the distorted compensation multiplier amendment section 30 amends distortion compensation multiplier $h_{n+1}(p)$ to $1/m$ so that $x(t) * h_{n+1}(p)$ may become smaller than the DA converter limit LMS. the renewal section 28 of a distorted compensation multiplier — distorted compensatory-signal $x(t) * h_{n+1}$ — distorted compensation multiplier h_{n+1} which memorizes distorted compensation multiplier $h_{n+1}(p)/m$ this amended when 1 (p) was larger than the DA converter limit LMS in the distorted compensation multiplier storage section 22, and will not be amended if small — 1 (p) is memorized in the distorted compensation multiplier storage section 22 as it is. In addition, since $x(t) * h_{n+1}(p)$ is complex, it is common to make it general, as shown in the following (d), and to carry out amplitude control based on power.

[0026] (d) Control the input signal amplitude of a direct DA converter by the amplitude-limiting above (c) by power control, and this amplitude is a ** DA translation limit. Although it is the case where it controls to fit in LMS Power of distortion compensatory-signal $x(t) * h_{n+1}(p)$ A distorted compensation multiplier can be amended and it can also control that the amplitude touches the DA translation limit LMS etc. to fit in the envelope circle ECIR so that $|x(t) * h_{n+1}(p)|^2$ become below the upper limit power P_{max} of a DA converter. this case — a comparator 29 — distorted compensation multiplier h_{n+1} — when 1 (p) can be found, before memorizing this distorted compensation multiplier in the storage section 22 — distorted compensation multiplier h_{n+1} — the upper limit power P_{max} of the power P_a of the distorted compensatory signal which will come out and exist ($=|x(t) * h_{n+1}(p)|^2$) and DA converter 24 which are outputted from the PURIDISU torsion section 23 by the distorted compensation processing using 1 (p) is compared. Moreover, when $|x(t) * h_{n+1}(p)|^2$ are larger than the upper limit power P_{max} , the distorted compensation multiplier amendment section 30 does $1/m$ amendment of distortion compensation multiplier $h_{n+1}(p)$ so that it may become below upper limit power. the distorted compensation multiplier this amended when the renewal section 28 of a distorted compensation multiplier had the power P_a of a distorted compensatory signal larger than the upper limit power P_{max} — $h_{n+1}(p) = h_{n+1}(p)/m$ — the distorted compensation multiplier storage section 22 — memorizing — time it is small — distorted compensation multiplier h_{n+1} — 1 (p) is not amended but it memorizes in the distorted compensation multiplier storage section 22 as it is. Consequently, signal $x(t) * h_{n+1}(p)/m$ by which distorted compensation was carried out by distorted compensation multiplier $h_{n+1}(p)$ is settled inside ***** ECIR, and amplitude distortion and phase distortion are not produced with DA converter 24. That is, although distorted compensation of the amplitude is imperfect, since the phase is followed, when not applying a distorted compensator, a distorted property does not deteriorate above.

[0027] (e) a maximum distortion compensation multiplier [as opposed to P_{max} and a sending signal $x(t)$ for the permissible upper limit power to which another amplitude-limiting DA converter by power control is set] — $h(p)$ MAX, then a degree type — the relation of $P_{max} = |x(t) * h(p) MAX|^2$ is realized. Since it is fixed, P_{max} is a sending signal $x(t)$ and a maximum distortion compensation multiplier. $h(p)$ MAX has the relation of 1:1, and if a sending signal $x(t)$ is decided, maximum distortion compensation multiplier $h(p)$ MAX will become settled uniquely. therefore, distorted compensation multiplier h_{n+1} — the square value of 1 (p) — this maximum distortion compensation multiplier if larger than the square value of $h(p)$ MAX — this distorted compensation multiplier h_{n+1} — distorted compensatory-signal $x(t) * h_{n+1}$ obtained using 1 (p) — 1 (p) exceeds ***** ECIR.

[0028] As mentioned above, a comparator 29 compares the size of square value $|h(p) MAX|^2$ of maximum distortion compensation multiplier $h(p)$ MAX according to square value $|h_{n+1}(p)|^2$ and the sending signal $x(t)$ of this distorted

compensation multiplier, when distortion compensation multiplier $h_{n+1}(p)$ calculates. Moreover, the distorted compensation multiplier amendment section 30 amends distortion compensation multiplier $h_{n+1}(p)$ to $1/m$ so that $|h_{n+1}(p)|^2$ may become smaller than $|h(p)|^2$. The renewal section 28 of a distorted compensation multiplier At the time of $|h_{n+1}(p)|^2 > |h(p)|^2$ the amended this distorted compensation multiplier $h_{n+1}(p) = h_{n+1}(p)/m$ — the distorted compensation multiplier storage section 22 — memorizing — the time of $|h_{n+1}(p)|^2 < |h(p)|^2$ — distorted compensation multiplier $h_{n+1}(p)$ is not amended but it memorizes in the distorted compensation multiplier storage section 22 as it is. Consequently, signal $x(t) * h_{n+1}(p)/m$ by which distorted compensation was carried out by distorted compensation multiplier $h_{n+1}(p)$ is settled inside ***** ECIR, and amplitude distortion and phase distortion are not produced with a DA converter.

[0029] (f) **** with the unnecessary amendment operation of a distorted compensation multiplier — beforehand — $|x(t)|^2$ and $h_{n+1}(p)$ — if it is made to correspond to the combination of $1(p)$ and the correction value of a distorted compensation multiplier is memorized, processing of the amendment operation of a distorted compensation multiplier, a comparison of the power P_a of a distorted compensatory signal and the upper limit power P_{max} , etc. will become unnecessary. Then, (1) Distortion compensation multiplier $h_{n+1}(p)$ is amended so that the power P_a of the sending signal when performing distorted compensation processing to a sending signal $x(t)$ using distortion compensation multiplier $h_{n+1}(p)$ calculated by distorted compensation multiplier operation part may become smaller than the upper limit power P_{max} . (2) Amended this distorted compensation multiplier $h_{n+1}(p)$ is made to correspond to the combination of $|x(t)|^2$ and $h_{n+1}(p)$, and is table-sized. Moreover, (3) When the power P_a of the sending signal by which distorted compensation was carried out is smaller than the upper limit power P_{max} , distortion compensation multiplier $h_{n+1}(p)$ is remained as it is. It is made to correspond to the combination of $|x(t)|^2$ and $h_{n+1}(p)$, and table-sizes.

[0030] this condition — setting — the distorted compensation multiplier operation part 27 — distorted compensation multiplier $h_{n+1}(p)$ — if $1(p)$ calculates — the renewal section 28 of a distorted compensation multiplier — this distorted compensation multiplier $h_{n+1}(p)$ — in quest of the correction value of $1(p)$ and the distorted compensation multiplier according to the combination of power $|x(t)|^2$ of a sending signal $x(t)$, it memorizes in the distorted compensation multiplier storage section 22 from a table. Henceforth, on the occasion of the distorted compensation processing to the following sending signal $x(t)$, the PURIDISU torsion section 23 reads a distorted compensation multiplier [finishing / amendment / section / 22 / storage], carries out distorted compensation processing, and outputs. Above, before writing in the storage section 22, it is the example which uses a table and amends a distorted compensation multiplier, but it can read from the storage section 22, and it can also constitute so that it may amend using this table. namely, the distorted compensation multiplier operation part 27 — distorted compensation multiplier $h_{n+1}(p)$ — the time of $1(p)$ calculating — the renewal section 28 of a distorted compensation multiplier — this distorted compensation multiplier $h_{n+1}(p)$ is memorized in the distorted compensation multiplier storage section 22 as it is. And when the distorted compensation multiplier $h_n(p)$ is read from the storage section 22 on the occasion of the distorted compensation processing to a sending signal $x(t)$, from a table, in quest of the correction value of this distorted compensation multiplier $h_n(p)$ and the distorted compensation multiplier according to the combination of power $|x(t)|^2$ of a sending signal $x(t)$, the PURIDISU torsion section 23 carries out distorted compensation processing, and outputs.

[0031] (g) When the limit over of the signal amplitude after the amplitude-limiting distorted compensation by the amplitude control of a feedback signal is detected, enlarge the amplitude of the feedback signal from an amplifier output. By enlarging the amplitude of a feedback signal at the time of limit over, the difference of a sending signal and a feedback signal becomes small, a distorted compensation multiplier decreases, and the limit over of the signal amplitude after distorted compensation can be prevented henceforth. Moreover, correspondence of the amplitude of a sending signal or power, and gain is table-sized, the gain according to the amplitude or power of an actual sending signal is searched for from a table, and the amplitude of a feedback signal is controlled based on this gain. The limit over of the signal amplitude after distorted compensation can be prevented without detecting whether the signal amplitude after distorted compensation exceeds limiting value, if it does in this way.

[0032] (B) 1st example drawing 3 of (Example a) of the distorted compensator which carries out the multiplication of the distorted compensation multiplier to a sending signal, and outputs a distorted compensatory signal is the 1st example of this invention applied to the distorted compensator which carries out the multiplication of the distorted compensation multiplier to a sending signal, and outputs a distorted compensatory signal, the same sign is given to the same part as drawing 1, and 32-37 are the delay circuits for timing doubling. The distorted compensation multiplier operation part 27 is what calculates distortion compensation multiplier $h_{n+1}(n)$ with an LMS algorithm like the conventional example of drawing 34. Subtractor 27b which outputs difference [of conjugation complex signal output section 27a, and the sending signal x before distorted compensation processing (t) and feedback recovery signal $y(t)$] $e(t)$, the multiplier 27 which performs the multiplication of error $e(t)$ and $u^*(t)$ — 27d of multipliers which perform $c, h_n(p)$, and the multiplication of $y^*(t)$, and the multiplier 27 which carries out the multiplication of the step size parameter μ — it has 27f of adders adding $e, h_n(p)$, and $\mu e(t) u^*(t)$.

[0033] The renewal section 28 of a distorted compensation multiplier updates the distorted compensation multiplier memorized by the distorted compensation multiplier storage section 22, and is equipped with selector 28a. Selector 28a the power P_a of a distorted compensatory signal ($=|x(t) * h_{n+1}(p)|^2$) When larger than the upper limit power P_{max} beforehand set up according to the dynamic range of DA converter 24, the distorted compensation multiplier $X (=h_{n+1}(p)/m)$ is memorized in the distorted compensation multiplier storage section 22. When small, the distorted compensation multiplier $Y (=h_{n+1}(p))$ which is not amended is memorized in the distorted compensation multiplier

storage section 22. A comparator 29 compares the size of the power P_a of a distorted compensatory signal ($=|x(t) * h_{n+1}(p)|^2$), and the upper limit power P_{max} set up, and is equipped with power operation part 29a and comparator 29b. The power P_a of 1 (p) is calculated. distorted compensation multiplier h_{n+1} from which power operation part 29a was obtained by the distorted compensation multiplier operation part 27 — distorted compensatory signal $x(t) * h_{n+1}$ outputted from the PURIDISU torsion 23 by the distorted compensation processing using 1 (p) — Comparator 29b compares the size of this power P_a ($=|x(t) * h_{n+1}(p)|^2$) and the upper limit power P_{max} , and inputs a comparison result into selector 28a. In addition, * means complex multiplication.

[0034] When the power P_a of a sending signal ($=|x(t) * h_{n+1}(p)|^2$) is larger than the upper limit power P_{max} , the distorted compensation multiplier amendment section 30 amends distortion compensation multiplier $h_{n+1}(p)$ to $1/m$ so that it may become below upper limit power, and has m value control-section 30a and correction value operation part 30b. m is a multiplier damping ratio and m^2 is the ratio of the power $|x(t) * h_{n+1}(p)|^2$ and the upper limit power P_{max} of a distorted compensatory signal. therefore, the degree type m^2 — the relation of $=|x(t) * h_{n+1}(p)|^2 / P_{max}$ — it is — $m = [|x(t) * h_{n+1}(p)|^2 / P_{max}]^{1/2}$ It can be found from (1). M value control-section 30a calculates (1) type, and calculates the multiplier damping ratio m , and correction value operation part 30b is degree type $X = h_{n+1}(p) / m$. The correction value X of a distorted compensation multiplier is calculated by (2), and it outputs.

[0035] A delay circuit 32 is delayed in the output signal of the power operation part 31 so that it may write in in the timing to which a distorted compensation multiplier is outputted from selector 28a and the address (Write adr) may occur. A delay circuit 33 doubles the timing of the sending signal x before distorted compensation (t), and return signal y (t), and it is delayed until a return signal reaches subtraction section 27b in a sending signal. A delay circuit 34 doubles the timing of the input signal of 27f of adders, and it is delayed until $mue[$ from multiplier 27e $](t) * (t)$ outputs the distorted compensation multiplier $h_n(p)$ outputted from the distorted compensation multiplier storage section 22. A delay circuit 35 doubles the timing of the input signal of the PURIDISU torsion section 23, and is delayed in time amount until a distorted compensation multiplier is read from the distorted compensation multiplier storage section 22 and it inputs into the PURIDISU torsion section, and a sending signal $x(t)$. A delay circuit 36 doubles the timing of the input signal of power operation part 29a, and is delayed in time amount until distortion compensation multiplier h_{n+1} outputs from the distorted compensation multiplier operation part 27, and a sending signal $x(t)$. A delay circuit 37 doubles the output timing of the selector inputs X and Y , and it is delayed in the output timing of distortion compensation multiplier h_{n+1} until correction value X occurs.

[0036] a comparator 29 — distorted compensation multiplier h_{n+1} — the time when 1 (p) was able to be found — this distorted compensation multiplier h_{n+1} — the upper limit power P_{max} of the power $|x(t) * h_{n+1}(p)|^2$ and DA converter 24 of the distorted compensatory signal which will come out and exist which are outputted from the PURIDISU torsion section 23 by the distorted compensation processing using 1 (p) is compared. Moreover, the distorted compensation multiplier amendment section 30 amends distortion compensation multiplier $h_{n+1}(p)$ to $1/m$ so that power $|x(t) * h_{n+1}(p)|^2$ may become below the upper limit power P_{max} . When the power of a distorted compensatory signal is larger than the upper limit power P_{max} , the renewal section 28 of a distorted compensation multiplier memorizes the correction value X of a distorted compensation multiplier ($= h_{n+1}(p) / m$) in the distorted compensation multiplier storage section 22, and memorizes the distorted compensation multiplier $Y (=h_{n+1}(p))$ which is not amended when small in the distorted compensation multiplier storage section 22. Henceforth, on the occasion of the distorted compensation processing to the following sending signal $x(t)$, the PURIDISU torsion section 23 reads a distorted compensation multiplier [finishing / amendment / section / 22 / storage], carries out distorted compensation processing, and outputs. Under the present circumstances, a distorted compensatory signal is settled inside ***** ECIR (drawing 2), and amplitude distortion and phase distortion are not produced with a DA converter.

[0037] (b) 2nd example drawing 4 is the 2nd example of this invention applied to the distorted compensator which carries out the multiplication of the distorted compensation multiplier to a sending signal, and outputs a distorted compensatory signal, and gives the same sign to the same part as drawing 3. A different point is the configuration of a comparator 29 and has table 29c, 29d of operation part, and comparator 29e. Table 29c memorizes square value $|h(p) MAX|^2$ of maximum distortion compensation multiplier $h(p) MAX$ according to power $|x(t)|^2$ of a sending signal $x(t)$. 29d of operation part is a distorted compensation multiplier. Calculating square value $|h_{n+1}(p)|^2$ of $h_{n+1}(p)$, comparator 29e compares the size of $|h(p) MAX|^2$ and $|h_{n+1}(p)|^2$.

[0038] a maximum distortion compensation multiplier [as opposed to P_{max} and a sending signal $x(t)$ for the permissible upper limit power of a DA converter] — $h(p) MAX$, then a degree type — $P_{max} = |x(t) * h(p) MAX|^2$ The relation of (3) is realized. Since P_{max} is fixed, a sending signal $x(t)$ and maximum distortion compensation multiplier $h(p) MAX$ have the relation of 1:1, and if a sending signal $x(t)$ is decided, maximum distortion compensation multiplier $h(p) MAX$ will become settled uniquely. Therefore, the size relation of the power P_a ($=|x(t) * h_{n+1}(p)|^2$) of P_{max} ($=|x(t) * h(p) MAX|^2$) and a distorted compensatory signal to the 1st example is in agreement with the size relation between $|h(p) MAX|^2$ and $|h_{n+1}(p)|^2$. Then, comparator 29e compares the size of $|h(p) MAX|^2$ and $|h_{n+1}(p)|^2$. Moreover, the distorted compensation multiplier amendment section 30 follows (1) and (2) types, and $|h_{n+1}(p)|^2$. Distortion compensation multiplier $h_{n+1}(p)$ is amended to $1/m$ so that it may become less than $[|h(p) MAX|^2]$. The renewal section 28 of a distorted compensation multiplier At the time of $|h_{n+1}(p)|^2 > |h(p) MAX|^2$ The amended distorted compensation multiplier $X (=h_{n+1}(p) / m)$ is memorized in the distorted compensation multiplier storage section 22, and the distorted compensation multiplier $Y (=h_{n+1}(p))$ which is not amended at the time of $|h_{n+1}(p)|^2 < |h(p) MAX|^2$ is memorized in the distorted compensation multiplier storage section 22. Henceforth, on the occasion of the distorted compensation processing to the following sending signal $x(t)$, the PURIDISU torsion

section 23 reads a distorted compensation multiplier [finishing / amendment / section / 22 / storage], carries out distorted compensation processing, and outputs. Under the present circumstances, a distorted compensatory signal is settled inside ***** ECIR (drawing 2), and amplitude distortion and phase distortion are not produced with a DA converter.

[0039] (c) 3rd example drawing 5 is the 3rd example of this invention applied to the distorted compensator which carries out the multiplication of the distorted compensation multiplier to a sending signal, and outputs a distorted compensatory signal, and gives the same sign to the same part as drawing 3 R> 3. A different point is (1). The point of making it corresponding to the combination of $|x(t)|^2$ and $hn+1(p)$, and memorizing correction value $hn+1(p)'$ of distortion compensation multiplier $hn+1(n)$ on the distorted compensation value limiter table 41 beforehand, (2) The point and (3) which read the correction value of a desired distorted compensation multiplier from a table 41, and are memorized in the distorted compensation multiplier storage section 22. It is the point of having deleted a comparator 29 and the distorted compensation multiplier amendment section 30. Creation of the distorted compensation value limiter table 41 is performed according to the following. namely, distorted compensation multiplier $hn+1$ — power $|x(t)|^2$ of the distorted compensatory signal when performing distorted compensation processing to a sending signal $x(t)$ using 1 (p) become smaller than the upper limit power P_{max} — as — this distorted compensation multiplier $hn+1$ (p) is amended to $1/m$. After an appropriate time, correction value $hn+1(p)' (=hn+1(p)/m)$ is made to correspond to the combination of $|x(t)|^2$ and $hn+1(p)$, and is table-ized. In this case if $|x(t)|^2 * hn+1(p)$ is smaller than the upper limit power P_{max} , will not amend distortion compensation multiplier $hn+1(p)$, but it will be made to correspond to the combination of $|x(t)|^2$ and $hn+1(p)$ as it is, and will table-ize.

[0040] distorted compensation processing — setting — the distorted compensation multiplier operation part 27 — distorted compensation multiplier $hn+1$ — if 1 (p) calculates — the renewal section 28 of a distorted compensation multiplier — this distorted compensation multiplier $hn+1$ — in quest of 1 (p) and correction value $hn+1(p)$ of distorted compensation multiplier according to combination of power $|x(t)|^2$ of sending signal $x(t)$, it memorizes in the distorted compensation multiplier storage section 22 from a table 41. Henceforth, on the occasion of the distorted compensation processing to the following sending signal $x(t)$, the PURIDISU torsion section 23 reads a distorted compensation multiplier [finishing / amendment / section / 22 / storage], carries out distorted compensation processing, and outputs. If it is made above, a comparison operation and a correction value operation become unnecessary, the correction value of a distorted compensation multiplier can be acquired at a high speed, and, moreover, a configuration will become simple.

[0041] (d) 4th example drawing 6 is the 4th example of this invention applied to the distorted compensator which carries out the multiplication of the distorted compensation multiplier to a sending signal, and outputs a distorted compensatory signal, and gives the same sign to the same part as drawing 5 R> 5. Although a different point is the location of a table 41 and has formed the table 41 in the preceding paragraph of the distorted compensation multiplier storage section 22 in the 3rd example, it has formed the table 41 in the latter part of the distorted compensation multiplier storage section 22 in the 4th example. That is, in the 4th example, after reading a distorted compensation multiplier from the storage section 22, a table 41 is used and a distorted compensation multiplier is amended. distorted compensation processing — setting — the distorted compensation multiplier operation part 27 — distorted compensation multiplier $hn+1$ — if 1 (p) calculates — the renewal section 28 of a distorted compensation multiplier — this distorted compensation multiplier $hn+1$ — 1 (p) is memorized in the distorted compensation multiplier storage section 22 as it is. And if the distorted compensation multiplier $hn(p)$ is read from the storage section 22 on the occasion of distorted compensation processing of the following sending signal $x(t)$, from a table 41, in quest of this distorted compensation multiplier $hn(p)$ $|x(t)|^2$ multiplier [finishing / the amendment according to the combination of 2 / distorted compensation] $hn(p)'$, the PURIDISU torsion section 23 will carry out distorted compensation processing, and will output.

[0042] (e) 5th example drawing 7 is an example which simplifies the amendment operation of a distorted compensation multiplier, and gives the same sign to the same part as the 1st example of drawing 3. In the 1st example, in the amendment operation of a distorted compensation multiplier, division is needed, and a hardware scale becomes large. The 5th example realizes division by the bit shift. In addition, when power $|x(t)|^2 * hn+1(p)$ of a distorted compensatory signal are larger than the upper limit power P_{max} in the 5th example, degree type [— { — $hn+1(p)$ — } — + — ** — $hn+1(p)$ — + — one — { — $hn+1(p)$ — } — + — ** — $hn+1(p)$ — + — one — { — $hn+1(p)$ — } — / — r — } — two — $\leq (hn(p) - hn+1(p))/r$] 2 $\leq (hn(p) - hn+1(p))/r$] 2 (4) ' be materialized — as — distorted compensation multiplier $hn+1$ — 1 (p) It amends to $[hn+1(p) - hn+1(p))/r]$. In an upper type, $**hn+1(p)$ is the output of multiplier 27e. (4) r is determined that ' type is filled and it is correction value $hn+1(p)'$ $[hn+1(p) - hn+1(p))/r]$ Degree type $hn+1(p)'$ = Since (5), then $hn(p)$ are below DA converter limits, correction value $hn+1(p)'$ also becomes below a limit value certainly.

[0043] (4) If a formula is transformed $[hn(p) + (**hn+1(p) - (hn(p) + **hn+1(p)))/r]$ 2 $\leq (hn(p) - hn+1(p))$ It becomes (4) ". $**hn+1(p) - (hn(p) + **hn+1(p)) / r \leq 0$ If it is (6), (4) types will surely be materialized. Therefore, it is a degree type from (6) types. $r \leq [hn(p) + **hn+1(p)] / **hn+1(p) = hn+1(p) / **hn+1(p)$ What is necessary is to determine that r satisfies (6) ' and for (5) types just to amend distortion compensation multiplier $hn+1(p)$. However, division is included by (6) ' formulas. Then, the maximum integer H with which are satisfied of $2H \leq **hn+1(p)$ is searched for, and it asks for r by shifting $hn+1(p)$ H times. In this case, division is included in (5) types. Then, degree type $r \leq 2R$ It can ask easily by shifting (distortion compensation multiplier $hn+1(p)$ whose right-hand side of (5) types will be a molecule if the minimum integral value R which satisfies 7) is calculated) R times.

[0044] In the distorted compensation multiplier amendment section 30, R value control-section 30c is outputted in

quest of the minimum integral value R which satisfies (7) types, 30d of operation part calculates correction value $h_{n+1}(p)' = [h_{n+1}(p) - h_{n+1}(p)/r]$ by a shift and subtraction, and it inputs it into selector 28a. When the power P_a of a distorted compensatory signal is larger than the upper limit power P_{max} , selector 28a memorizes correction value $X (= [h_{n+1}(p) - h_{n+1}(p)/r])$ in the distorted compensation multiplier storage section 22, and memorizes the distorted compensation multiplier $Y (= h_{n+1}(p))$ which is not amended when small in the distorted compensation multiplier storage section 22.

[0045] (f) 6th example drawing 8 is an example which simplifies the amendment operation of a distorted compensation multiplier, and gives the same sign to the same part as the 2nd example of drawing 4. In the 2nd example, in the amendment operation of a distorted compensation multiplier, division is needed, and a hardware scale becomes large. Although division is realized by the bit shift and the configuration of the distorted compensation multiplier amendment section 30 differs from the 2nd example in the 6th example, it is completely the same as the configuration of drawing 7.

[0046] (g) Although the 7th example 1st - the 6th example are examples applied to the sending set of a single carrier, they are applicable also to the sending set of a multi-carrier. Drawing 9 is the block diagram of the sending set in the case of transmitting two or more sending signals using a multi-carrier signal, and shows the example in the case of carrying out multiplex [of the four frequencies] and transmitting. Each digital sending signal $x_1(t)$, $x_2(t)$, $x_3(t)$, and $x_4(t)$ in the frequency shift sections 51-54 exp (jomegaone t), After carrying out the multiplication of exp (jomegatwo t), exp (jomegathree t), and the exp (jomegafour t) (omegan=2pifn) and being given a frequency shift at frequencies f_1 , f_2 , f_3 , and f_4 , frequency multiplex is carried out in the synthetic section 55. This digital frequency multiple signal corresponds to the sending signal of a single carrier, and the same distorted compensation processing as the case of a single carrier is performed henceforth.

[0047] Drawing 10 is the 7th example at the time of applying the distorted compensator of the 1st, 2nd, 5th, and 6th example to the multi-carrier sending set of drawing 9, and gives the same sign to the same part. Drawing 11 is the 8th example at the time of applying the distorted compensator of the 3rd example of drawing 5 to the multi-carrier sending set of drawing 9, and gives the same sign to the same part as drawing 5 and drawing 9. Drawing 12 is the 9th example at the time of applying the distorted compensator of the 4th example of drawing 6 to the multi-carrier sending set of drawing 9, and gives the same sign to the same part as drawing 6 and drawing 9.

[0048] (C) Although it is the example applied to the distorted compensator which carries out the multiplication of the distorted compensation multiplier to a sending signal, generates a distorted compensatory signal above the distorted compensator which compounds an error signal to the main signal and is inputted into a distorted device, and is inputted into transmitted power amplifier, after carrying out the DA translation of each of the distorted component (error signal) added to the main signal (sending signal) and this sending signal independently, it is applicable also to the distorted compensator which is compounded and is inputted into transmitted power amplifier. In addition, according to the latter distorted compensator, since the amplitude of an error signal is small, the big dynamic range also to the DA converter which bit precision of the DA converter which outputs only an error signal can be made low, and outputs only a sending signal is unnecessary, and there is an advantage which can make bit precision of this DA converter low.

[0049] (a) 1st example drawing 13 is the block diagram of the 1st example of the distorted compensator which compounds the sending signal and error signal of an analog, and gives the same sign to the same part as an old example. The device with which 21 generate the nonlinear distortion of function $f(p)$ among drawing (transmitted power amplifier), The distorted compensation multiplier storage section which 22 makes distorted compensation multiplier $h(p)$ which amends distortion of transmitted power amplifier correspond to the power $p (= |x(t)|^2)$ of a sending signal $x(t)$, and is memorized, The feedback system to which 25 returns output-signal [of transmitted power amplifier] $y(t)$, the A-D converter from which 26 changes a feedback signal into digital one, The distorted compensation multiplier operation part to which 27 calculates distortion compensation multiplier $h_{n+1}(p)$ based on the sending signal $x(t)$ and feedback signal before distorted compensation, The renewal section of a distorted compensation multiplier which 28 is equipped with selector 28a, and calculated distortion compensation multiplier $h_{n+1}(p)$ or amended distorted compensation multiplier $h_{n+1}(p)'$ is made to correspond to sending-signal power $|x(t)|^2$, and is memorized in the storage section 22, The comparator which compares the size of square value $|h(n)|^2$ of square value $|h_{n+1}(p)|^2$ and the maximum distortion compensation multiplier of distortion compensation multiplier $h_{n+1}(p)$ which calculated 29 by distorted compensation multiplier operation part, $1/m$ 30 distortion compensation multiplier $h_{n+1}(p)$ The distorted compensation multiplier amendment section which carries out and outputs correction value $h_{n+1}(p)' (= h_{n+1}(p)/m)$, The power operation part of the sending signal in which 31 generates the read-out address / write-in address of the distorted compensation multiplier storage section 22, and 32-39 are the delay circuits for timing doubling.

[0050] 61 [moreover,] — the error signal generating section — it is — multiplier 61a which reads the distorted compensation multiplier h_n according to 2 (p) from the storage section 22, and carries out complex multiplication of this distorted compensation multiplier $h_n(p)$ to a sending signal $x(t)$, and power $|x(t)|^2$ output signal [of a multiplier] $x(t) * —$ it has subtractor 61b which outputs error signal $E(t)$ which is the difference of $h_n(p)$ and a sending signal $x(t)$. [of a sending signal] The DA converter from which 62 changes digital error signal $E(t)$ into an analog, the DA converter from which 63 changes a sending signal (the main signal) $(t) x$ into an analog, and 64 are the synthetic sections which compound and output error signal [of the sending-signal $x(t)$ analog of an analog] $E(t)$.

[0051] DA converter 62 has composition which carries out the DA translation of the distorted signal (error signal) $E(t)$, and the upper limit of a distorted compensation multiplier is immobilization at value $h(p)_{MAX}$ which exists

without being based on a sending signal $x(t)$. Therefore, if the distorted compensation multiplier h_n according to the power of a sending signal (p) is in the circle of radius $h(p) \text{ MAX}$ which touches the DA converter limit LHS (refer to drawing 14), even if what kind of phase the distorted compensation multiplier $h_n(p)$ is, the DA converter limit LHS will not be exceeded and the amplitude and a phase will not be distorted in DA converter 24. However, distortion function f (distortion compensation multiplier $h_{n+1}(p)$ which will be outputted from the distorted compensation multiplier operation part 27 by the difference of the sending signal x before distorted compensation (t) and a feedback signal becoming large if the output swing of the transmitted power amplifier 21 becomes large in an operation of p) becomes large, and becomes large from maximum distortion compensation multiplier $h(p) \text{ MAX}$. this case — this distorted compensation multiplier h_{n+1} — if 1 (p) is not amended but it memorizes in the distorted compensation multiplier storage section 22 as it is, when or this distorted compensation multiplier will be read, in that case, the distorted compensation multiplier $h_n(p)$ will exceed the DA converter limit LHS, and amplitude distortion and phase distortion will occur in DA converter 62.

[0052] Then, before distortion compensation multiplier $h_{n+1}(p)$'s calculating and memorizing in the storage section Square $|h_{n+1}(p)|^2$ of this distorted compensation multiplier are compared with the size of square $|h(p) \text{ MAX}|^2$ of an upper limit distorted compensation multiplier, and if it is $|h_{n+1}(p)|^2 > |h(p) \text{ MAX}|^2$, the magnitude of a distorted compensation multiplier will be amended to $1/m$, with the phase maintained. If it does in this way, amplitude limiting of the DA converter input will be carried out, exceeding the DA converter limit LHS will be lost, and amplitude distortion and phase distortion will not occur in a DA converter. And since it is what makes the magnitude small, with the phase of distortion compensation multiplier $h_{n+1}(p)$ held, phase flatness is attained. In addition, the squared reason is because distortion compensation multiplier $h_{n+1}(p)$ is complex.

[0053] As mentioned above, a comparator 29 compares the size of square value $|h(n) \text{ MAX}|^2$ of square value $|h_{n+1}(p)|^2$ and the maximum distortion compensation multiplier of distortion compensation multiplier $h_{n+1}(p)$ calculated by the distorted compensation multiplier operation part 27. It memorizes in the storage section 22 as it is. distorted compensation multiplier h_{n+1} calculated when $|h_{n+1}(p)|^2$ were smaller than $|h(p) \text{ MAX}|^2$ as for the renewal section 28 of a distorted compensation multiplier, without amending 1 (p) | If $|h_{n+1}(p)|^2$ are larger than $|h(p) \text{ MAX}|^2$, correction value $h_{n+1}(p)'$ of a distorted compensation multiplier will be memorized in the storage section 22. Henceforth, on the occasion of the distorted compensation processing to the following sending signal $x(t)$, the distorted compensation multiplier [finishing / compensation / section / 22 / storage] $h_n(p)$ is read, error signal $E(t)$ is outputted, and the synthetic section 64 compounds the main signal (sending signal) and error signal of an analog by which the DA translation was independently carried out with DA converters 62 and 63, respectively, and inputs them into transmitted power amplifier. Under the present circumstances, since it is smaller than maximum distortion compensation multiplier $h(p) \text{ MAX}$, the distorted compensation multiplier $h_n(p)$ does not produce amplitude distortion and phase distortion with DA converter 62.

[0054] (b) 2nd example drawing 15 is the block diagram of the 2nd example of the distorted compensator which inputs into transmitted power amplifier at composition the sending signal and error signal of the analog by which the DA translation was carried out independently, and gives the same sign to the same part as the 1st example of drawing 13. A different point is a point which specified the configuration of a comparator 29 and the distorted compensation multiplier amendment section 30. The comparator 29 is equipped with 29g of storage sections holding square value $|h(n) \text{ MAX}|^2$ of a maximum distortion compensation multiplier, 29h of operations which calculate square value $|h_{n+1}(p)|^2$ of a distorted compensation multiplier, and comparator 29i that compares the size of $|h_{n+1}(p)|^2$ and $|h(p) \text{ MAX}|^2$. The distorted compensation multiplier amendment section 30 amends distortion compensation multiplier $h_{n+1}(p)$ to $1/m$ so that square value $|h_{n+1}(p)|^2$ of a distorted compensation multiplier may become smaller than square value $|h(n) \text{ MAX}|^2$ of a maximum distortion compensation multiplier, and it has m value control-section 30e and 30f of correction value operation part. m — a multiplier damping ratio — it is — a degree type — the relation of $m^2 = |h_{n+1}(p)|^2 / |h(p) \text{ MAX}|^2$ — it is — $m = \sqrt{|h_{n+1}(p)|^2 / |h(p) \text{ MAX}|^2}$ — It can be found from (8). M value control-section 30a calculates (8) types, and calculates the multiplier damping ratio m , and correction value operation part 30b calculates the correction value X of a distorted compensation multiplier by degree type $X = h_{n+1}(p)/m$, and outputs.

[0055] A comparator 29 compares the size of $|h_{n+1}(p)|^2$ and $|h(p) \text{ MAX}|^2$, when distortion compensation multiplier $h_{n+1}(p)$ can be found. Moreover, the distorted compensation multiplier amendment section 30 amends distortion compensation multiplier $h_{n+1}(p)$ to $1/m$ so that square value $|h_{n+1}(p)|^2$ of a distorted compensation multiplier may become smaller than square value $|h(n) \text{ MAX}|^2$ of a maximum distortion compensation multiplier. distorted compensation multiplier h_{n+1} calculated when $|h_{n+1}(p)|^2$ were smaller than $|h(p) \text{ MAX}|^2$ as for the renewal section 28 of a distorted compensation multiplier — it memorizes in the storage section 22 as it is, without amending 1 (p), and if $|h_{n+1}(p)|^2$ are larger than $|h(p) \text{ MAX}|^2$, correction value $h_{n+1}(p)'$ of a distorted compensation multiplier will be memorized in the storage section 22. Henceforth, on the occasion of the distorted compensation processing to the following sending signal $x(t)$, the distorted compensation multiplier [finishing / amendment / section / 22 / storage] $h_n(p)$ is read, error signal $E(t)$ is outputted, and the synthetic section 64 compounds the sending signal and error signal by which the DA translation was carried out independently with DA converters 62 and 63, respectively, and inputs them into transmitted power amplifier. Under the present circumstances, since it is smaller than maximum distortion compensation multiplier $h(p) \text{ MAX}$, the distorted compensation multiplier $h_n(p)$ does not produce amplitude distortion and phase distortion with DA converter 62.

[0056] (c) 3rd example drawing 16 is the block diagram of the 3rd example of the distorted compensator which compounds the sending signal and error signal of an analog by which the DA translation was carried out

independently, and is inputted into transmitted power amplifier, and gives the same sign to the same part as the 1st example of drawing 13. A different point is (1). The point of making it corresponding to $h_{n+1}(p)$ beforehand, and memorizing correction value $h_{n+1}(p)'$ of a distorted compensation multiplier on the distorted compensation value limiter table 41, (2) The point and (3) which read correction value $h_{n+1}(p)'$ of a desired distorted compensation multiplier from a table 41, and are memorized in the distorted compensation multiplier storage section 22 The point and (4) which deleted a comparator 29 and the distorted compensation multiplier amendment section 30 It is **** which omitted the delay circuit. Creation of the distorted compensation value limiter table 41 is performed according to the following, that is, square value $|h_{n+1}(p)|^2$ of a distorted compensation multiplier become smaller than square value $|h(n) \text{ MAX}|^2$ of a maximum distortion compensation multiplier — as — this distorted compensation multiplier $h_{n+1}(p) = 1/m$ — amending — this correction value $h_{n+1}(p)' (=h_{n+1}(p)/m)$ — $h_{n+1}(p)$ — it is made to correspond to 1 (p) and table-izes. In this case, if $|h_{n+1}(p)|^2$ are smaller than $|h(n) \text{ MAX}|^2$, will not amend distortion compensation multiplier $h_{n+1}(p)$, but it will be made to correspond to $h_{n+1}(p)$ as it is, and will table-ize.

[0057] distorted compensation processing — setting — the distorted compensation multiplier operation part 27 — distorted compensation multiplier $h_{n+1}(p)$ — if 1 (p) calculates — the renewal section 28 of a distorted compensation multiplier — this distorted compensation multiplier $h_{n+1}(p)$ — in quest of correction value $h_{n+1}(p)'$ of a distorted compensation multiplier according to 1 (p), it memorizes in the distorted compensation multiplier storage section 22 from a table 41. Henceforth, on the occasion of the distorted compensation processing to the following sending signal $x(t)$, the distorted compensation multiplier [finishing / amendment / section / 22 / storage] $h_n(p)$ is read, error signal $E(t)$ is outputted, and the synthetic section 64 compounds the sending signal and error signal by which the DA translation was independently carried out with DA converters 62 and 63, respectively, and inputs them into the transmitted power amplifier 21. Under the present circumstances, since it is smaller than maximum distortion compensation multiplier $h(p) \text{ MAX}$, the distorted compensation multiplier $h_n(p)$ does not produce amplitude distortion and phase distortion with DA converter 62.

[0058] (d) 4th example drawing 17 is the block diagram of the 4th example of the distorted compensator which compounds the sending signal and error signal of an analog by which the DA translation was carried out independently, and is inputted into transmitted power amplifier, and gives the same sign to the same part as drawing 16. Although a different point is the location of a table 41 and has formed the table 41 in the preceding paragraph of the distorted compensation multiplier storage section 22 in the 3rd example, it has formed the table 41 in the latter part of the distorted compensation multiplier storage section 22 in the 4th example. That is, in the 4th example, after reading a distorted compensation multiplier from the storage section 22, a table 41 is used and a distorted compensation multiplier is amended. distorted compensation processing — setting — the distorted compensation multiplier operation part 27 — distorted compensation multiplier $h_{n+1}(p)$ — if 1 (p) calculates — the renewal section 28 of a distorted compensation multiplier — this distorted compensation multiplier $h_{n+1}(p)$ — 1 (p) is memorized in the distorted compensation multiplier storage section 22 as it is. And if the distorted compensation multiplier $h_n(p)$ is read from the storage section 22 on the occasion of the following distorted compensation processing of a sending signal $x(t)$ The error signal generating section 61 outputs error signal $E(t)$ in quest of amendment distorted compensation multiplier $h_n(p)'$ according to this distorted compensation multiplier $h_n(p)$ from a table 41. The synthetic section 64 compounds the sending signal and error signal by which the DA translation was independently carried out with DA converters 62 and 63, respectively, and inputs them into the transmitted power amplifier 21.

[0059] (e) Although the example 1st applied to the sending set of a multi-carrier — the 4th example are examples applied to the sending set of a single carrier, they are applicable also to the sending set of a multi-carrier. Drawing 18 is the block diagram of the sending set in the case of transmitting two or more sending signals using a multi-carrier signal, and shows the example in the case of carrying out multiplex [of the four frequencies] and transmitting. The sending signal $x_1(t)$ of each carrier, $x_2(t)$, $x_3(t)$, and $x_4(t)$ are respectively changed into an analog signal by independent DA converters 711-714, frequency conversion is carried out to the desired carrier frequencies f_1 , f_2 , f_3 , and f_4 in the frequency-conversion sections 731-734 after passing filters 721-724 (refer to (a) of drawing 19), and frequency multiplex is carried out in the synthetic section 74. The acquired frequency multiple signal (the main signal) SM is compounded with error signal $E(t)$ outputted from the error signal generating section 61 in the synthetic section 64, and is inputted into the transmitted power amplifier 21. Frequency conversion of a part of output of the transmitted power amplifier 21 is carried out to the multiple signal of frequency f_1-f_0 , f_2-f_0 , f_3-f_0 , and f_4-f_0 with a frequency converter 75, and an AD translation is carried out by A-D converter 26 after filter 76 passage, and it is inputted into the distorted compensation multiplier operation part 27 as feedback signal SF.

[0060] On the other hand, a sending signal $x_1(t)$, $x_2(t)$, $x_3(t)$, $x_4(t)$ in the frequency shift sections 771-774 $\exp j(\omega_2 - \omega_0)t$, $\exp j(\omega_3 - \omega_0)t$, and the $\exp j(\omega_4 - \omega_0)t$ (however, $\omega_{\text{mean}} = 2\pi f_0$) and being given the frequency shift frequency f_1-f_0 , f_2-f_0 , f_3-f_0 , and f_4-f_0 (refer to (b) of drawing 19), $(\omega_1 - \omega_0)$ Frequency multiplex is carried out in the synthetic section 78, and it inputs into a distorted compensator as a reference sign SR. A distorted compensator calculates and outputs a reference sign SR and the error signal E which originates in the nonlinear distortion of power amplifier 21 using feedback signal SF. DA converter 62 carries out the DA translation of the acquired error signal E , and inputs it into the frequency-conversion section 80 through a filter 79. The frequency-conversion section 80 carries out the multiplication of the signal of a frequency f_0 to an error signal E , and carries out a rise convert at the error signal of frequencies f_1 , f_2 , f_3 , and f_4 . The synthetic section 64 compounds the main signal (sending signal) SM of frequencies f_1 , f_2 , f_3 , and f_4 , and the error signal E of frequencies f_1 , f_2 , f_3 , and f_4 , and inputs a composite signal into the

transmitted power amplifier 21. The signal which added the reverse property of nonlinear distortion of amplifier to the frequency multiple signal (the main signal) by this is acquired.

[0061] Drawing 20 is the 5th example at the time of applying the distorted compensator of the 1st example of drawing 13 to the multi-carrier sending set of drawing 18, and gives the same sign to the same part as drawing 13 and drawing 18. However, 701-703 are the delay circuits for timing doubling. Drawing 21 is the 5th example at the time of applying the distorted compensator of the 2nd example of drawing 15 to the multi-carrier sending set of drawing 18, and gives the same sign to the same part as drawing 15 and drawing 18. Drawing 22 is the 7th example at the time of applying the distorted compensator of the 3rd example of drawing 16 to the multi-carrier sending set of drawing 18, and gives the same sign to the same part as drawing 16 and drawing 18. Drawing 23 is the 8th example at the time of applying the distorted compensator of the 4th example of drawing 17 to the multi-carrier sending set of drawing 18, and gives the same sign to the same part as drawing 17 and drawing 18.

[0062] (f) Example drawing 24 applied to the sending set of another multi-carrier is the block diagram of another sending set which transmits two or more sending signals using a multi-carrier signal, and shows the example in the case of carrying out multiplex [of the four frequencies] and transmitting. The sending signal x_1 of each carrier (t), x_2 (t), x_3 (t), and x_4 (t) After carrying out the multiplication of $\exp(j\omega_1 t)$, $\exp(j\omega_2 t)$, $\exp(j\omega_3 t)$, and the $\exp(j\omega_4 t)$ (however, $\omega_n = 2\pi f_n$) in the frequency shift sections 911-914 and being given the frequency shift at frequencies f_1 , f_2 , f_3 , and f_4 (refer to drawing 25 (a)), It is respectively changed into an analog signal by independent DA converters 921-924, and frequency multiplex is carried out in the synthetic section 93. A frequency multiple signal is shifted to high-frequency band f_0-f_1 , f_0-f_2 , f_0-f_3 , and f_0-f_4 in the frequency shift section 100 after passing a low pass filter 99 (refer to drawing 25 (b)), turns into the main signal SM, and is inputted into the synthetic section 64. Henceforth, the frequency multiple signal (the main signal) SM is compounded with the error signal E outputted from the error signal generating section 61 in the synthetic section 64, and is inputted into the transmitted power amplifier 21. Frequency conversion of a part of output of the transmitted power amplifier 21 is carried out to the multiple signal of the low frequency band of frequencies f_1 , f_2 , f_3 , and f_4 with a frequency converter 94, and an AD translation is carried out by A-D converter 26 after filter 95 passage, and it is inputted into the distorted compensation multiplier operation part 27 as feedback signal SF.

[0063] Moreover, after frequency synthesis of the output of the frequency shift sections 911-914 is carried out in the synthetic section 96, it is inputted into a distorted compensator as a reference sign SR. A distorted compensator calculates and outputs a reference sign SR and the error signal E which originates in the nonlinear distortion of power amplifier 21 using feedback signal SF. DA converter 62 carries out the DA translation of the acquired error signal E, and inputs it into a frequency converter 98 through a filter 97. A frequency converter 98 carries out the multiplication of the high-frequency signal of a frequency f_0 to the error signal E of frequencies f_1 , f_2 , f_3 , and f_4 , and shifts it to high-frequency band f_0-f_1 , f_0-f_2 , f_0-f_3 , and f_0-f_4 . the synthetic section 64 compounds the main signal (sending signal) SM and an error signal E, and boils and inputs a composite signal into the transmitted power amplifier 21. The signal which added the reverse property of nonlinear distortion of amplifier to the frequency multiple signal (the main signal) by this is acquired.

[0064] Drawing 26 is the 9th example at the time of applying the distorted compensator of the 1st example of drawing 13 to the multi-carrier sending set of drawing 24, and gives the same sign to the same part as drawing 13 and drawing 24. However, 901-903 are the delay circuits for timing doubling. Drawing 27 is the 10th example at the time of applying the distorted compensator of the 2nd example of drawing 15 to the multi-carrier sending set of drawing 24, and gives the same sign to the same part as drawing 16 and drawing 24. Drawing 28 is the 11th example at the time of applying the distorted compensator of the 3rd example of drawing 16 to the multi-carrier sending set of drawing 24, and gives the same sign to the same part as drawing 17 and drawing 24. Drawing 29 is the 12th example at the time of applying the distorted compensator of the 4th example of drawing 17 to the multi-carrier sending set of drawing 24, and gives the same sign to the same part as drawing 15 R> 5 and drawing 24.

[0065] (D) By amending a distorted compensation multiplier, control by the example more than the distorted compensator equipped with the amplitude control function of a feedback signal so that the sending signal after distorted compensation processing does not exceed a restriction level. However, the amplitude of the feedback signal from transmitted power amplifier is controlled by the following examples, and it is made for the sending signal after distorted compensation processing not to exceed a restriction level.

[0066] (a) 1st example drawing 30 is the block diagram of the distorted compensator of the 1st example which controls the amplitude of feedback signal y (t) based on the amplitude or power of a sending signal x (t). The device with which 21 generates the nonlinear distortion of function f (p) (transmitted power amplifier), The distorted compensation multiplier storage section which 22 makes distorted compensation multiplier h (p) which amends distortion of transmitted power amplifier correspond to the power p ($=|x(t)|^2$) of a sending signal x (t), and is memorized, 23 reads the distorted compensation multiplier h_n (p) according to the power p of a sending signal x (t) from the storage section 22. The PURIDISU torsion section which performs distorted compensation processing ($=x(t) * h_n(p)$) to a sending signal x (t) using this distorted compensation multiplier h_n (p), digital sending-signal x (t) * by which distorted compensation processing was performed to 24 — the DA converter which changes h_n (p) into an analog signal — The feedback system to which 25 returns output-signal [of transmitted power amplifier] y (t), the A-D converter from which 26 changes output-signal, i.e., feedback signal, y (t) into digital one, The distorted compensation multiplier operation part to which 27 calculates distortion compensation multiplier $h_{n+1}(p)$ based on the sending signal x before distorted compensation (t), and feedback signal y (t), The power operation part of the

sending signal in which 31 generates the read-out address / write-in address of the distorted compensation multiplier storage section 22, and 81 are amplitude control sections which control the amplitude of feedback signal $y(t)$ based on the amplitude of the sending signal x before distorted compensation (t) , or power $|x(t)|^2$.

[0067] Although the distorted compensation multiplier operation part 27 has the same configuration as the distorted compensation multiplier operation part shown in drawing 3, an example and others show only the subtractor 27b which calculates difference [of the sending signal x before distorted compensation (t) , and a feedback signal] $e(t)$ as distorted compensation multiplier operation principal part 27'. The amplitude control section 81 saves the amplitude of a sending signal $x(t)$, or the correspondence relation between power and gain, and has gain setting section 81a which outputs the gain G according to a sending signal $x(t)$, and multiplier 81b which carries out the multiplication of the gain G to feedback signal $y(t)$. The amplitude of an output signal and a phase are not distorted in the linearity field of the transmitted power amplifier 21. however, distorted compensation multiplier $hn+1$ which difference [of the sending signal x before distorted compensation (t) and feedback signal $y(t)$] $e(t)$ outputs from the distorted compensation multiplier operation part 27 by becoming large in the nonlinear field of the transmitted power amplifier 21 — 1 (p) becomes large. This distortion compensation multiplier $hn+1(p)$ is read in when, and distortion compensatory-signal $x(t) * hn+1(p)$ outputs it from the PURIDISU torsion section 23. At this time, it is a distorted compensatory signal. If $x(t) * hn+1(p)$ exceeds a DA converter limit, amplitude distortion and phase distortion will occur in this DA converter. The above inclination becomes size, so that a sending signal is large. Therefore, if any measures are not taken, either, amplitude distortion and phase distortion occur in the nonlinear field of power amplifier.

[0068] Then, in a nonlinear field, the amplitude control section 81 is controlled so that the amplitude of feedback signal $y(t)$ is enlarged based on the sending signal x before distorted compensation (t) and these differences $e(t)$ does not become large. If it does in this way, it can prevent that distortion compensation multiplier $hn+1(p)$ becomes large, and distortion compensatory-signal $x(t) * hn+1(p)$ can be prevented from exceeding a DA converter limit, and can prevent generating of amplitude distortion or phase distortion. By the way, difference [of a sending signal $x(t)$ and feedback signal $y(t)$] $e(t)$ becomes large as the nonlinear degree of transmitted power amplifier becomes large (i.e., as the level of the sending signal x before distorted compensation (t) becomes large). Then, the gain and the amplitude characteristic (or gain and power property) shown in either for example, of drawing 31 (a) - (c) are set as gain setting section 81a. Drawing 31 (a) fixes Gain G to 1 in the linearity field of the transmitted power amplifier 21. It is the property which increases gain according to the linear function of the sending-signal amplitude (or power) in a nonlinear field. Drawing 31 (b) is a property which increases gain according to the quadratic function of the sending-signal amplitude (or power) in a nonlinear field, and drawing 31 (c) is a property which increases gain in the shape of a step according to the sending-signal amplitude (or power) in a nonlinear field.

[0069] As mentioned above, since the sending signal x before distorted compensation (t) is gain $G=1$ in below linearity / nonlinear boundary signal level XB , the amplitude control section 81 does not change the level of feedback signal $y(t)$. However, if the sending signal x before distorted compensation (t) becomes linearity / more than nonlinear boundary signal level XB , Gain G will become large from 1 according to the setting function of gain setting section 81a. For this reason, difference $e(t)$ which the amplitude control section 81 outputs the signal of $y(t) = G - y(t)$ and ($G > 1$), and is outputted from subtractor 27b decreases. Consequently, it can prevent that distortion compensation multiplier $hn+1(n)$ becomes large, and distortion compensatory-signal $x(t) * hn+1(p)$ can be prevented from exceeding a DA converter limit, and can suppress generating of amplitude distortion or phase distortion. Above, although the case where it controlled according to the property which shows gain in drawing 31 (a) - (c) in a nonlinear field was explained, according to the function of not only these properties but arbitration, gain is controllable. Moreover, although the case where Gain G was changed in an instant was explained above, asymptotic change may be exponentially carried out to the set point to time amount, or you may make it make it change to the set point linearly. getting it blocked — in consideration of the property of power amplifier, and the property of a feedback system, the function of Gain G is selected and it determines similarly about the time control of Gain G .

[0070] They are the 1st and 2nd modification of the 1st example of this invention, and before carrying out the AD translation of drawing 32 and drawing 33, they are an example which controls the amplitude of feedback signal $y(t)$ in analog. The amplitude control section 81 is formed in the preceding paragraph of A-D converter 26, the gain G of variable gain amplifier (VGA: Variable Gain Amplifier) 81c is controlled by drawing 32 according to the level of a sending signal $x(t)$, and feedback signal $y(t)$ is amplified and outputted with this variable gain amplifier. After forming the amplitude control section 81 in the preceding paragraph of A-D converter 26, controlling the magnitude of attenuation of 81d of variable attenuators (VATT: Variable ATTenater) by drawing 33 according to the level of a sending signal $x(t)$ and carrying out specified quantity attenuation of the feedback signal $y(t)$ with this variable attenuator, it amplifies and outputs by amplifier 81e of fixed gain. The modification of drawing 32 and drawing 33 is applicable also to subsequent examples.

[0071] (b) 2nd example drawing 34 is the block diagram of the distorted compensator of the 2nd example which controls the amplitude of feedback signal $y(t)$, and gives the same sign to the same part as the 1st example of drawing 30. A different point is (1). The point of having formed DAC limit exaggerated **** 82 which detects whether the sending signal after distorted compensation having exceeded the DA converter limit LML ($R >$ drawing 2 2 reference), (2) The point that the amplitude control section 81 controls the amplitude of feedback signal $y(t)$ when the sending signal after distorted compensation exceeds the DA converter limit LML, and (3) Fixed gain G for which it does not depend on the level of a sending signal $x(t)$ at gain setting section 81a. It is the point that (>1) is set up. If sending-signal (distorted compensatory signal) x after distorted compensation (t) exceeds the DA

converter limit LML, the amplitude will become small while the amplitude and phase of output signal $y(t)$ are distorted. Then, for the amplitude control section 81, DAC limit exaggerated **** 82 will be [whether the sending signal after distorted compensation exceeded the DA converter limit LML, and] the fixed gain G , if it checks and exceeds. The multiplication of (>1) is carried out to feedback signal $y(t)$. Consequently, difference $e(t)$ outputted from subtractor 27b decreases, and it is a distorted compensation multiplier. It can prevent that $h_{n+1}(n)$ becomes large, a distorted compensatory signal can be prevented from exceeding the DA converter limit LML, and generating of amplitude distortion or phase distortion can be suppressed henceforth.

[0072] (c) 3rd example drawing 35 is the block diagram of the distorted compensator of the 3rd example which controls the amplitude of feedback signal $y(t)$ based on the amplitude or power of a sending signal $x(t)$, and gives the same sign to the same part as the 2nd example. a different point — (1) The point which does not fix Gain G , and (2) The point of having prepared the gain table on which one property of drawing 31 (a) – (c) was set as gain setting section 81a, and (3) the point which controls Gain G based on the level of a sending signal $x(t)$ when, as for the amplitude control section 81, distorted compensatory-signal $x'(t)$ exceeds the DA converter limit LML — it comes out. Distorted compensatory-signal $x'(t)$ which outputs DAC limit exaggerated **** 82 from the PURIDISU torsion section 23 is confirming whether the DAC limit LML was exceeded. If distorted compensatory-signal $x'(t)$ is the value of DA converter limit within the limits, gain setting section 81a of the amplitude control section 81 will output $G=1$, and will not change the amplitude of a feedback signal.

[0073] However, if distorted compensatory-signal $x'(t)$ exceeds a DA converter limit, DAC limit exaggerated **** 82 will direct a gain change to the amplitude control section 81. Thereby, from a gain table (not shown), gain setting section 81a reads the gain $G(>1)$ according to the level of a sending signal $x(t)$, and inputs it into multiplier 81b. Multiplier 81b carries out the multiplication of the gain $G(>1)$ to feedback signal $y(t)$, and outputs signal $y(t)' (=G-y(t))$. Difference $e(t)$ outputted from subtractor 27b decreases, distortion compensation multiplier $h_{n+1}(n)$ does not become large, but a distorted compensatory signal stops exceeding a DA converter limit, and amplitude distortion and phase distortion stop consequently, generating it. According to the 3rd example, since gain is controlled based on the level of a sending signal $x(t)$, compared with the 2nd example of gain immobilization, generating prevention control of fine amplitude distortion and phase distortion is attained.

[0074] (d) 4th example drawing 36 is the block diagram of the distorted compensator of the 4th example which controls the amplitude of feedback signal $y(t)$ based on the amplitude or power of a sending signal $x(t)$, and gives the same sign to the same part as the 3rd example. A different point is (1). The point that the multiplier 83 which carries out power $|x(t)|^2$ of the sending signal x before distorted compensation (t) k times (k is constant value) is formed, (2) The point that the operation part 84 which calculates power $|x'(t)|^2$ of distorted compensatory-signal $x'(t)$ is formed, (3) The point that the operation part 85 which calculates the k times as many difference of sending-signal power k and $|x(t)|^2$, and power $|x'(t)|^2$ of a distorted compensatory signal as this is formed, (4) When power $|x'(t)|^2$ of a distorted compensatory signal are larger than sending-signal power k and $|x(t)|^2$ k times as many as this, the point of having formed the difference signal-processing section 86 which directs initiation of the amplitude control of feedback signal $y(t)$, and (5) the point that the amplitude control section 81 performs amplitude control of feedback signal $y(t)$ with amplitude-control initiation directions — it comes out. In addition, k is the average of the distorted compensation multiplier memorized by the distorted compensation multiplier storage section 22, or the constant value according to the class of power amplifier 21.

[0075] Drawing 37 is the processing flow of the whole distorted compensator of the 4th example. Distorted compensatory-signal $x'(t)$ which outputs DAC limit exaggerated **** 82 from the PURIDISU torsion section 23 is confirming whether the DAC limit LML was exceeded (step 101). If distorted compensatory-signal $x'(t)$ is the value of DA converter limit within the limits, gain setting section 81a of the amplitude control section 81 will output $G=1$, and will not change the amplitude of a feedback signal. However, if distorted compensatory-signal $x'(t)$ exceeds a DA converter limit, DAC limit exaggerated **** 82 will direct the operation of power $|x'(t)|^2$ of a distorted compensatory signal to operation part 84. Thereby, operation part 84 calculates power $|x'(t)|^2$ of a distorted compensatory signal (step 102). Moreover, the power operation part 31 calculates power $|x(t)|^2$ of a sending signal, and the multiplication section 83 calculates k and $|x(t)|^2$ (step 103,104). subsequently, the operation part 85 — a degree type — $d=|x'(t)|^2-k$ and $|x(t)|^2$ (1) is calculated and the result of an operation d is inputted into the difference signal-processing section 86. The difference signal-processing section 86 is $d=|x'(t)|^2-k$ and $|x(t)|^2>0$. It confirms whether to be (2) (step 105), and if it is "YES", renewal of gain will be directed to the amplitude control section 81. Thereby, from a gain table, gain setting section 81a of the amplitude control section 81 reads the gain $G(>1)$ according to the level of a sending signal $x(t)$, and inputs it into multiplier 81b (step 106).

[0076] Henceforth, multiplier 81b carries out the multiplication of the gain $G(>1)$ to feedback signal $y(t)$, and outputs signal $y(t)' (=G-y(t))$. Difference $e(t)$ outputted from subtractor 27b decreases, distortion compensation multiplier $h_{n+1}(n)$ does not become large, but a distorted compensatory signal stops exceeding a DA converter limit, and amplitude distortion and phase distortion stop consequently, generating it. although the power difference d of a sending signal and a distorted compensatory signal was calculated by operation part 85, gain was changed based on this power difference and amplitude control of a feedback signal was carried out in the above explanation — the amplitude difference of a sending signal and a distorted compensatory signal — being based — gain — changing — the amplitude control of a feedback signal — it can also carry out. As mentioned above, according to the 4th example, distorted compensatory-signal $x'(t)$ exceeds a DAC limit, and only when a sending signal $x(t)$ and the difference of distorted compensatory-signal $x'(t)$ become large, Gain G is controlled based on the amplitude or power of a sending signal $x(t)$. For this reason, since the very required time is discerned, gain is controlled, and gain

control is not carried out when unnecessary, inhibitory control of finer amplitude distortion and phase distortion can be performed.

[0077] Drawing 38 is the 1st modification of the 4th example, and gives the same sign to the same part as the 4th example. A different point is (1). When a formula (2) is materialized ($d > 0$), while the difference signal-processing section 86 directs initiation of the amplitude control of a feedback signal to the amplitude control section 81 the point of directing a distorted compensation multiplier operation halt to the distorted compensation multiplier operation part 27 when the difference d exceeds a threshold DTH, and (2) the point that the distorted compensation multiplier operation part 27 stops the operation/renewal of a distorted compensation multiplier with an operation stop order — it comes out. If d becomes large beyond a threshold DTH, the effectiveness over distorted compensation of the distorted compensation multiplier then calculated will become doubtful. That is, the reliability of a distorted compensation multiplier becomes weak. Then, a distorted compensation multiplier is not updated but a distorted compensatory signal is generated with the distorted compensation multiplier obtained by then after that until it becomes $d < DTH$, when this difference d becomes large beyond a threshold DTH.

[0078] Now, with [d of a k times as many sending-signal power $|x(t)|^2$ and distorted compensation signal power $|x'(t)|^2$] (1) which is difference of 2 type as this] zero [or less] ($d \leq 0$), even if distorted compensatory-signal $x'(t)$ is over the DAC limit, gain setting section 81a inputs $G = 1$ into multiplier 81b, and does not change the amplitude of feedback signal $y(t)$. However, if distorted compensatory-signal $x'(t)$ exceeds a DAC limit and it is set to $d > 0$, gain setting section 81a will read the gain $G (> 1)$ according to a sending signal $x(t)$ from a gain table, and will input it into multiplier 81b. Multiplier 81b carries out the multiplication of the gain $G (> 1)$ to feedback signal $y(t)$, and outputs signal $y(t)' (=G \cdot y(t))$. Difference $e(t)$ outputted from subtractor 27b decreases, distortion compensation multiplier $h_{n+1}(n)$ does not become large, but a distorted compensatory signal stops exceeding a DA converter limit, and amplitude distortion and phase distortion stop consequently, generating it. Moreover, if Difference d becomes still larger and becomes beyond a threshold DTH, the difference signal-processing section 86 directs a distorted compensation multiplier operation halt to the distorted compensation multiplier operation part 27. Thereby, the distorted compensation multiplier operation part 27 suspends a distorted compensation multiplier operation, and does not update a distorted compensation multiplier. Above, like, since it was made to stop renewal of a distorted compensation multiplier when the difference d of k times as many sending-signal power as this and distorted compensation signal power became large beyond a threshold DTH, it can prevent that effectiveness becomes a doubtful value in a distorted compensation multiplier.

[0079] Drawing 39 is the 2nd modification of the 4th example, and gives the same sign to the same part as the 4th example. A different point is (1). The point of having prepared 27g of μ generating sections which generate the step size parameter μ used for a distorted compensation multiplier operation, (2) The point of having inputted the difference d into 27g of μ generating sections while the difference signal-processing section 86 directs initiation of the amplitude control of a feedback signal to the amplitude control section 81 when a formula (2) is materialized ($d > 0$), (3) the point that 27g of μ generating sections controls the step size parameter μ based on the value of Difference d — it comes out. As shown in drawing 40, convergence time amount becomes short, so that convergence time amount until it finishes compensating distortion so that it may fill necessary [ACPR] is large depending on the magnitude of the step size parameter μ . However, if μ is large, the stability near the desired value will worsen. Then, the value of μ is controlled based on the magnitude of Difference d , and convergence time amount is shortened, taking the stability of convergence of a linear riser into consideration. For example, Difference d exceeds a threshold, if it is in a situation which a distortion compensation control system emits, the value of μ will be enlarged and emission will be prevented quickly. good also as fixed [in Gain G] at this time — it carries out and corresponds to the value of μ — as — being dynamic (following for example, a primary function) — you may control. Moreover, if Difference d decreases, according to it, it will decrease and μ will be returned to a stationary value. If it does in this way, it is controllable so that difference $e(t)$ outputted from subtractor 27b is made small for a short time and distorted compensation signal amplitude does not exceed limiting value.

[0080] (e) Although the 5th example 1st — the 4th example are examples applied to the sending set of a single carrier, they are applicable also to the sending set of a multi-carrier. Drawing 41 is the block diagram of the distorted compensator in the case of transmitting two or more sending signals using a multi-carrier signal (multi-carrier linear riser), and shows the example in the case of carrying out multiplex [of the four frequencies] and transmitting. Each digital sending signal $x_1(t)$, $x_2(t)$, $x_3(t)$, and $x_4(t)$ in the frequency shift sections 51–54 exp ($j\omega_1 t$), After carrying out the multiplication of exp ($j\omega_2 t$), exp ($j\omega_3 t$), and the exp ($j\omega_4 t$) ($\omega_n = 2\pi f_n$) and being given a frequency shift at frequencies f_1 , f_2 , f_3 , and f_4 , frequency multiplex is carried out in the synthetic section 55. This digital frequency multiple signal corresponds to the sending signal $x(t)$ in the distorted compensator (drawing 30) of a single carrier, and the same distorted compensation processing as the case of a single carrier is performed henceforth. Drawing 42 is the effectiveness explanatory view of a multi-carrier linear riser, and a spectrum property [a continuous line] without distorted compensation and a dotted line are spectrum properties with distorted compensation. In addition, similarly, although drawing 41 is the example which constituted the distorted compensator of the 1st example so that multi-carrier transmission might be possible, it can constitute the distorted compensator of the 2nd — the 4th example so that multi-carrier transmission may be possible.

[0081] (f) Although it is the example applied to the distorted compensator which carries out the multiplication of the distorted compensation multiplier $h_n(p)$ to a sending signal $x(t)$, generates distorted compensatory-signal $x'(t)$ in the 1st of the 6th more than example — the 5th example, and is inputted into the transmitted power amplifier 21

After carrying out the DA translation of each of distorted component (error signal) $E(t)$ added to the main signal (sending signal) $x(t)$ and this sending signal independently, it is applicable also to the distorted compensator which is compounded and is inputted into transmitted power amplifier. Drawing 43 is the block diagram of the 6th example of the distorted compensator which compounds the sending signal of an analog, and error signal $E(t)$, and gives the same sign to the same part as an old example. The device with which 21 generate the nonlinear distortion of function $f(p)$ among drawing (transmitted power amplifier). The distorted compensation multiplier storage section which 22 makes distorted compensation multiplier $h(p)$ which amends distortion of transmitted power amplifier correspond to the power $p (=|x(t)|^2)$ of a sending signal $x(t)$, and is memorized. The PURIDISU torsion section to which 23 outputs a distorted compensatory signal, the feedback system to which 25 returns output signal [of transmitted power amplifier] $y(t)$. The A-D converter from which 26 changes feedback signal $y(t)$ into digital one. The distorted compensation multiplier operation part to which 27 calculates distortion compensation multiplier $h_{n+1}(p)$ based on the sending signal x before distorted compensation (t) , and feedback signal $y(t)$. The power operation part of the sending signal in which 31 generates the read-out address / write-in address of the distorted compensation multiplier storage section 22, and 81 are amplitude control sections which control the amplitude of feedback signal $y(t)$ based on the amplitude or power of a sending signal $x(t)$ before distorted compensation. The above configuration is the same as that of the 1st example of drawing 30, and each part operates like the 1st example.

[0082] In the PURIDISU torsion section 23, 61 is the error signal generating section. The distorted compensation multiplier h_n according to power $|x(t)|^2$ of a sending signal (p) is read from the storage section 22. It has subtractor 61b which outputs error signal $E(t)$ which is the difference of this distorted compensation multiplier h_n (multiplier 61a which carries out the multiplication of p) to a sending signal $x(t)$, output signal $x(t) * h_n(p)$ of a multiplier, and a sending signal $x(t)$. The DA converter from which 62 changes digital error signal $E(t)$ into an analog, the DA converter from which 63 changes a sending signal (the main signal) x into an analog, and 64 are the synthetic sections which compound and output error signal [of the sending-signal $x(t)$ analog of an analog] $E(t)$.

[0083] On the occasion of the distorted compensation processing to a sending signal $x(t)$, from the storage section 22, the error signal generating section 61 reads the distorted compensation multiplier $h_n(p)$, outputs error signal $E(t)$, and the synthetic section 64 compounds the main signal (sending signal) and error signal of an analog by which the DA translation was independently carried out with DA converters 62 and 63, respectively, and it inputs it into the transmitted power amplifier 21. Since the amplitude of an error signal is small, its big dynamic range is unnecessary to DA converter 63 which bit precision of DA converter 62 which outputs only an error signal can be made low, and outputs only a sending signal, and it can make bit precision of this DA converter low. A sending signal $x(t)$ makes the amplitude control section 81 gain $G=1$ with below linearity / nonlinear boundary signal level X_B (refer to drawing 31), and it does not change but inputs the level of feedback signal $y(t)$ into the distorted compensation multiplier operation part 27 as it is. The distorted compensation multiplier operation part 27 calculates difference [of a sending signal $x(t)$ and feedback signal $y(t)$] $e(t)$, calculates distortion compensation multiplier $h_{n+1}(p)$ based on this difference $e(t)$, and stores it in the distorted compensation multiplier storage section 22. On the other hand, if a sending signal $x(t)$ becomes linearity / more than nonlinear boundary signal level X_B , the amplitude control section 81 will control Gain G according to a sending signal $x(t)$, and will set it to $G>1$. For this reason, even if a sending signal $x(t)$ becomes linearity / more than nonlinear boundary signal level X_B , output signal $y(t)$ becomes small and difference $e(t)$ becomes large, the amplitude control section 81 decreases immediately difference $e(t)$ which outputs the signal of $y(t)' = G - y(t)$ and ($G>1$), and is outputted from subtractor 27b. Consequently, it can prevent that distortion compensation multiplier $h_{n+1}(n)$ becomes large, a distorted compensatory signal can be prevented from exceeding a DA converter limit, and generating of amplitude distortion or phase distortion can be suppressed.

[0084] Although the 6th example is an example applied to the sending set of a single carrier, it is applicable also to the sending set of a multi-carrier. Drawing 44 is the block diagram of the sending set which transmits two or more sending signals using a multi-carrier signal, is the example which applied the multi-carrier configuration of drawing 24 to the 6th example of drawing 43, and gives the same sign to the same part. drawing 44 — setting — each digital sending-signal $x_1(t)$ — the 2nd frequency multiplex section 93 which changes and carries out multiplex [of the 1st frequency multiplex section 96 which performs and carries out multiplex / of the digital frequency shift operation decided by carrier spacing / to $x_4(t)$, and makes this frequency multiple signal a digital sending signal, and said each frequency shift signal] to an analog signal with DA converters 921-924, and makes this frequency multiple signal the sending signal of an analog is formed. An error signal E is generated based on the digital sending signal SR by which frequency multiplex was carried out, the error signal generating section 61 changes this error signal into an analog signal, the synthetic section 64 compounds the sending signal SM of a DA converter output and an analog, and DA converter 62 inputs it into the transmitted power amplifier 21. As mentioned above, although the example explained this invention, according to the main point of this invention indicated to the claim, various deformation is possible for this invention, and this invention does not eliminate these.

[0085]

[Effect of the Invention] Above, since the magnitude of a distorted compensation multiplier is amended with the phase maintained, even if it carries out amplitude limiting of it, phase flattery is attained in advance, so that the input amplitude of a DA converter may not exceed the limit of a DA converter according to this invention. Consequently, when not carrying out distorted compensation, a distorted property is not degraded above. Moreover, according to this invention, in advance, since the magnitude of a distorted compensation multiplier is amended with

the phase maintained, even if it carries out amplitude limiting of it, phase flatness is attained, so that the upper limit power by which the power of the sending signal after distorted compensation is permitted may not be exceeded. Moreover, according to this invention, by table-izing correction value of a distorted compensation multiplier beforehand, a comparison operation and correction value data processing can be made unnecessary, and a configuration can be made simple, and correction value can be calculated easily.

[0086] Moreover, according to this invention, it can ask for the division which is needed on the occasion of correction value calculation easily by the bit shift by approximating a denominator by the radicand of 2. Moreover, since correspondence of the amplitude (or power) of the sending signal before distorted compensation and gain is table-ized, the gain according to the actual sending-signal amplitude or power is searched for from a table and the amplitude of the feedback signal from transmitted power amplifier was controlled based on this gain, the amplitude of a distorted compensatory signal can be prevented from exceeding limiting value with a feedforward method according to this invention. Consequently, it becomes possible to lose that the significant component (the amplitude and phase) of a signal is missing, and to carry out distortion compensation to stability by the easy configuration.

[0087] Moreover, according to this invention, when the amplitude of a distorted compensatory signal (sending signal after distorted compensation) exceeds limiting value, gain is enlarged, the amplitude of this feedback signal is controlled so that the difference of a sending signal and the feedback signal from transmitted power amplifier becomes small, and it prevents that a distorted compensation multiplier becomes large. Consequently, henceforth, distorted compensation signal amplitude can be prevented from exceeding limiting value, it is lost that the significant component (the amplitude and phase) of a signal is missing, and it becomes possible to carry out distortion compensation to stability. In this case, if amplitude control can be easily performed if Gain G is fixed to one or more constant value, and gain G is table-ized and it controls according to a sending signal, generating prevention control of fine amplitude distortion and phase distortion will be attained.

[0088] Moreover, according to this invention, since the very required time is discerned, gain control is carried out, since Gain G was controlled based on the level of a sending signal, and gain control is not carried out when unnecessary only when the difference of the sending signal before distorted compensation and a distorted compensatory signal becomes large, inhibitory control of finer amplitude distortion and phase distortion can be performed. Moreover, according to this invention, since it was made to stop renewal of a distorted compensation multiplier when the difference of the sending signal before distorted compensation and a distorted compensatory signal became large beyond a threshold, it can prevent that a distorted compensation multiplier becomes a doubtful value effectively. Moreover, according to this invention, since the magnitude of μ which is the parameter of renewal of a distorted compensation multiplier was controlled based on the difference of the sending signal before distorted compensation, and a distorted compensatory signal, convergence time amount can be shortened, taking the stability of convergence of a linear riser into consideration. For example, by the above-mentioned difference's exceeding a threshold, and decreasing and returning μ to a stationary value according to it, if the value of μ will be enlarged, emission will be quickly prevented, if it is in a situation which a distortion compensation control system emits, and a difference decreases, maintaining convergency and stability, it is controllable so that distorted compensation signal amplitude does not exceed limiting value.

[0089] Moreover, according to this invention, it is (1). The 1st distorted compensation method which carries out the multiplication of the distorted compensation multiplier to a sending signal, and is inputted into a distorted device, And (2) The difference of the signal and sending signal which were obtained by carrying out the multiplication of the distorted compensation multiplier to a reference sign (sending signal) is generated as an error signal, and it can apply to both 2nd distorted compensation method which carries out the DA translation of an error signal and the main signal (sending signal) separately, compounds them, and is inputted into a distorted device. Moreover, according to this invention, it is applicable to both the sending set of a single carrier, or the sending set of a multi-carrier.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

- [Drawing 1] It is the outline block diagram of the single carrier type distorted compensator of this invention.
- [Drawing 2] It is the principle explanatory view of this invention.
- [Drawing 3] It is the block diagram of the 1st example of this invention.
- [Drawing 4] It is the block diagram of the 2nd example of this invention.
- [Drawing 5] It is the block diagram of the 3rd example of this invention.
- [Drawing 6] It is the block diagram of the 4th example of this invention.
- [Drawing 7] It is the block diagram of the 5th example of this invention.
- [Drawing 8] It is the block diagram of the 6th example of this invention.
- [Drawing 9] It is the block diagram which added the distorted compensator to the multi-carrier type sending set.
- [Drawing 10] It is the block diagram (the 7th example) of a multi-carrier type distorted compensator.
- [Drawing 11] It is the block diagram (the 8th example) of a multi-carrier type distorted compensator.
- [Drawing 12] It is the block diagram (the 9th example) of a multi-carrier type distorted compensator.
- [Drawing 13] It is the 1st example which compounds the sending signal and error signal of an analog and is inputted into a distorted device.
- [Drawing 14] It is the principle explanatory view of this invention.
- [Drawing 15] It is the 2nd example which compounds the sending signal and error signal of an analog and is inputted into a distorted device.
- [Drawing 16] It is the 3rd example which compounds the sending signal and error signal of an analog and is inputted into a distorted device.
- [Drawing 17] It is the 4th example which compounds the sending signal and error signal of an analog and is inputted into a distorted device.
- [Drawing 18] It is the block diagram which added the distorted compensator to the multi-carrier type sending set.
- [Drawing 19] It is a frequency-conversion explanatory view.
- [Drawing 20] It is the block diagram (the 5th example) of a multi-carrier type distorted compensator.
- [Drawing 21] It is the block diagram (the 6th example) of a multi-carrier type distorted compensator.
- [Drawing 22] It is the block diagram (the 7th example) of a multi-carrier type distorted compensator.
- [Drawing 23] It is the block diagram (the 8th example) of a multi-carrier type distorted compensator.
- [Drawing 24] It is the block diagram which added the distorted compensator to another multi-carrier type sending set.
 [Drawing 25] It is a frequency-conversion explanatory view.
- [Drawing 26] It is the block diagram (the 9th example) of a multi-carrier type distorted compensator.
- [Drawing 27] It is the block diagram (the 10th example) of a multi-carrier type distorted compensator.
- [Drawing 28] It is the block diagram (the 11th example) of a multi-carrier type distorted compensator.
- [Drawing 29] It is the block diagram (the 12th example) of a multi-carrier type distorted compensator.
- [Drawing 30] It is the 1st example of the distorted compensator equipped with the amplitude control function of a feedback signal.
- [Drawing 31] It is the related explanatory view of the sending-signal amplitude (power) and gain.
- [Drawing 32] It is the 1st modification of the 1st example.
- [Drawing 33] It is the 2nd modification of the 1st example.
- [Drawing 34] It is the 2nd example of the distorted compensator equipped with the amplitude control function of a feedback signal.
- [Drawing 35] It is the 3rd example of the distorted compensator equipped with the amplitude control function of a feedback signal.
- [Drawing 36] It is the 4th example of the distorted compensator equipped with the amplitude control function of a feedback signal.
- [Drawing 37] It is the processing flow of the 4th whole example.
- [Drawing 38] It is the 1st modification of the 4th example.
- [Drawing 39] It is the 2nd modification of the 4th example.
- [Drawing 40] It is the related explanatory view of μ value and convergence time amount.
- [Drawing 41] It is the example of a configuration which added the distorted compensator of this invention to the multi-carrier type sending set.
- [Drawing 42] It is the example of effectiveness of a multi-carrier linear riser.

[Drawing 43] It is the 6th example of the distorted compensator equipped with the amplitude control function of a feedback signal.

[Drawing 44] It is the block diagram of a multi-carrier type sending set.

[Drawing 45] It is the block diagram of the conventional sending set.

[Drawing 46] It is a trouble explanatory view by the nonlinearity of transmitted power amplifier.

[Drawing 47] It is the effectiveness property explanatory view of power amplifier.

[Drawing 48] It is the block diagram of the sending set equipped with the conventional digital nonlinear mold distorted compensation function.

[Drawing 49] It is the functional block diagram of the compensation section.

[Drawing 50] It is a distorted compensation processing explanatory view by the adaptation LMS algorithm.

[Drawing 51] It is the block diagram of the whole sending set which carried out complex representation to $x(t) = I(t) + jQ(t)$.

[Drawing 52] It is the trouble explanatory view of the conventional distorted compensator.

[Description of Notations]

21 .. Distorted device (transmitted power amplifier)

22 .. Distorted compensation multiplier storage section

23 .. PURIDISU torsion section

24 .. DA converter

25 .. Feedback system

26 .. A-D converter

27 .. Distorted compensation multiplier operation part

28 .. Renewal section of a distorted compensation multiplier

29 .. Comparator

30 .. Distorted compensation multiplier amendment section

31 .. Power operation part

[Translation done.]

* NOTICES *

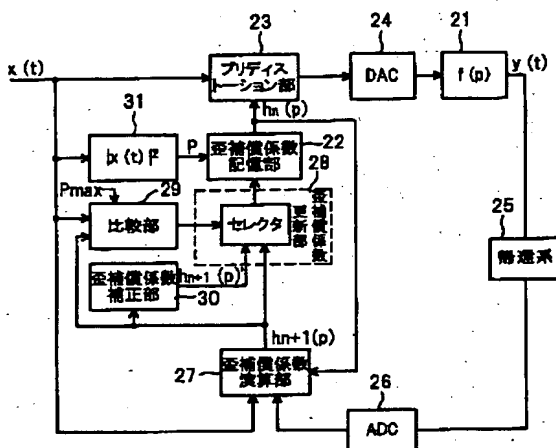
JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

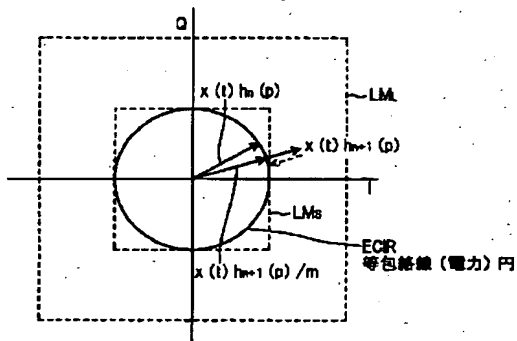
[Drawing 1]

本発明のシングルキャリアタイプ歪補償装置の概略構成図



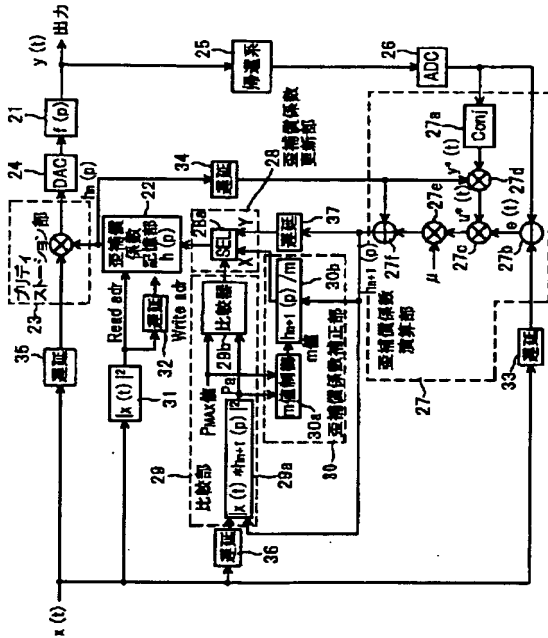
[Drawing 2]

本発明の原理説明図



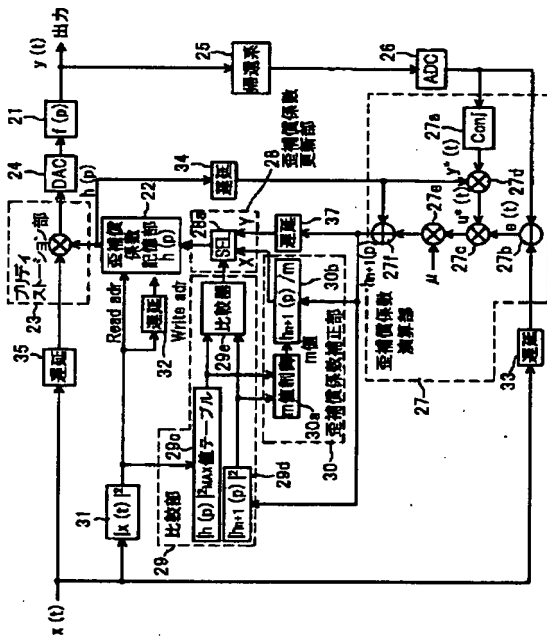
[Drawing 3]

本発明の第1実施例構成図



[Drawing 4]

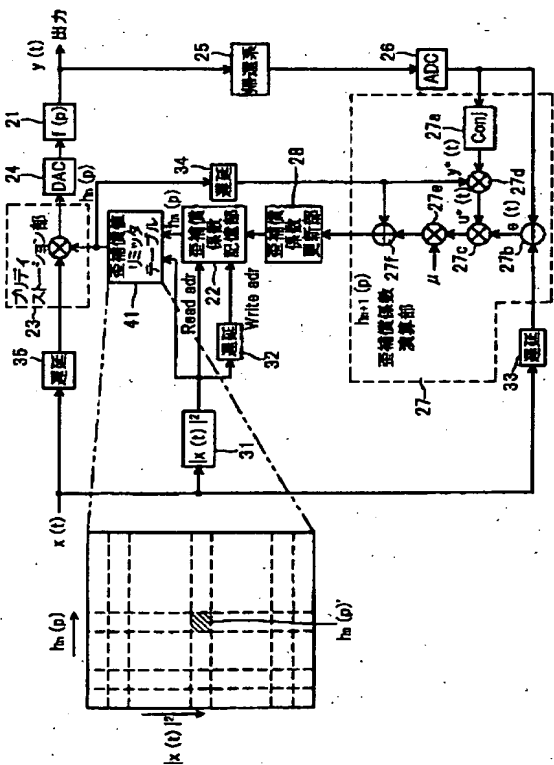
本発明の第2実施例構成図



[Drawing 5]

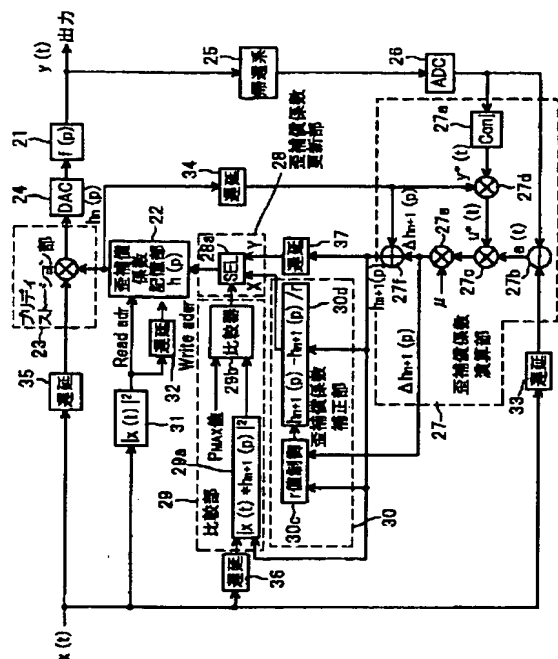
[illegible]

本発明の第4実施例構成図



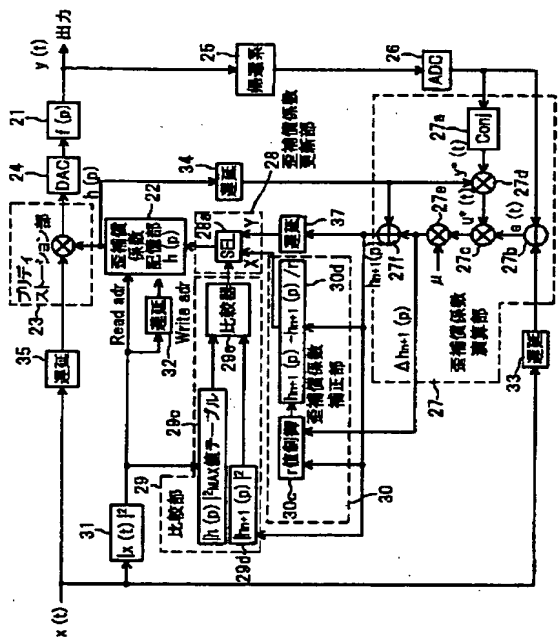
[Drawing 7]

本発明の第5実施例構成図



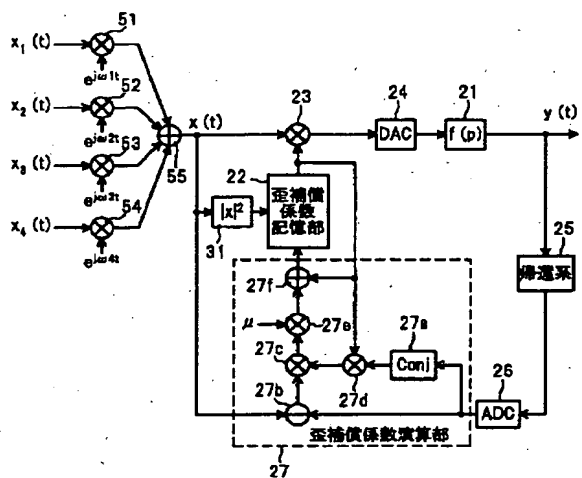
[Drawing 8]

本発明の第6実施例構成図



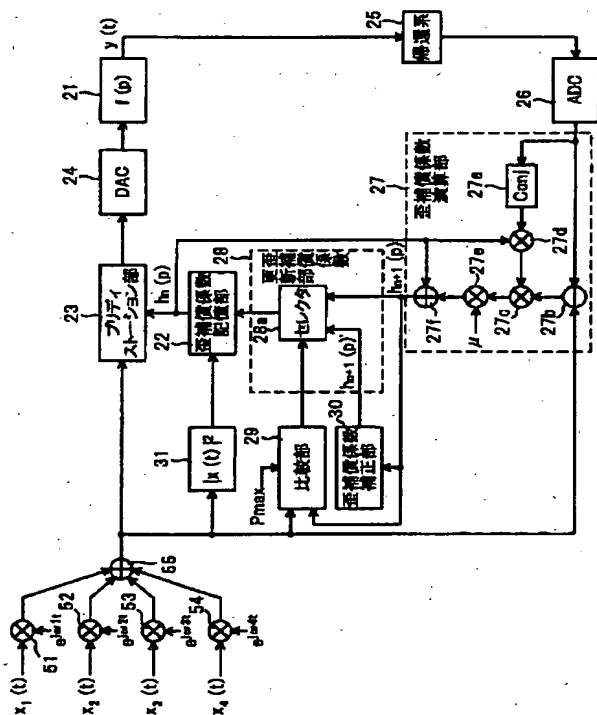
[Drawing 9]

マルチキャリアタイプの送信装置に
歪補償装置を付加した構成



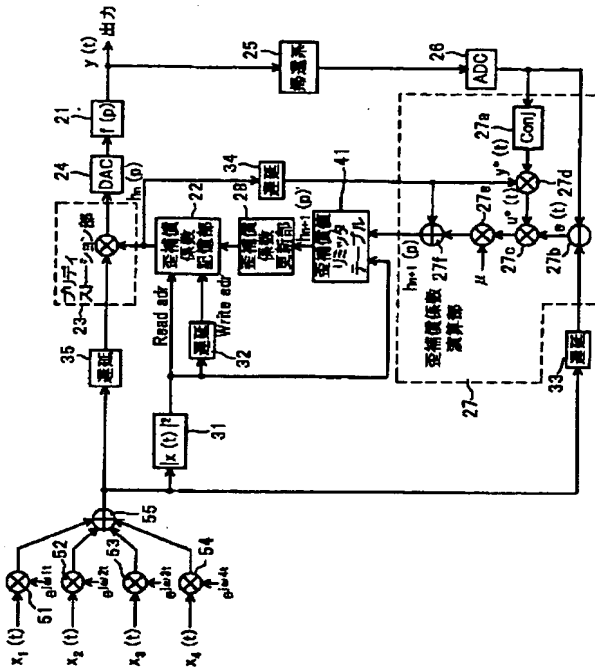
[Drawing 10]

本発明のマルチキャリア歪補償装置の
構成図(第7実施例)



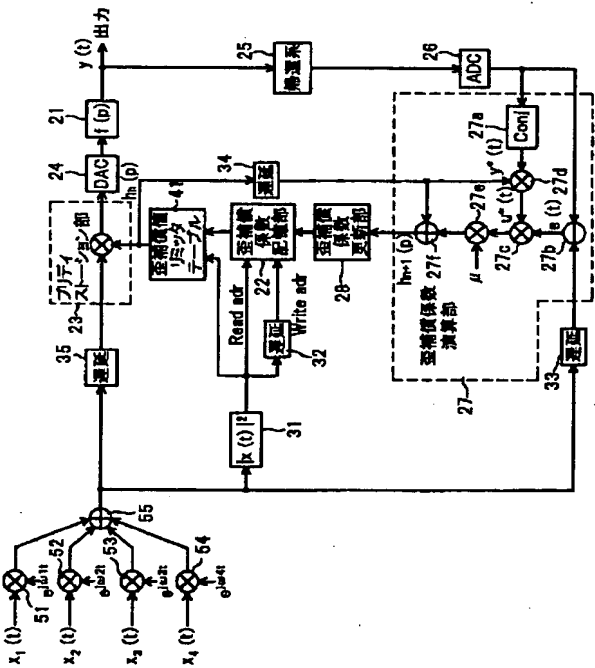
[Drawing 11]

マルチキャリアタイプの構成図
(第8実施例)



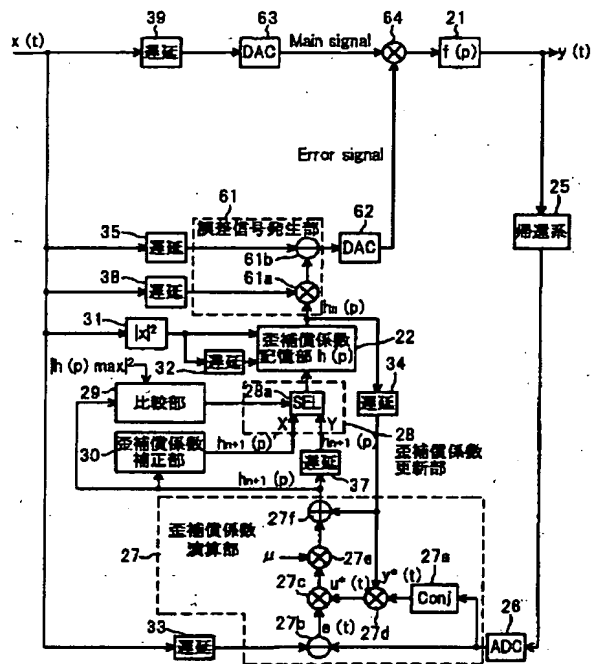
[Drawing 12]

マルチキャリアタイプの構成図
(第9実施例)



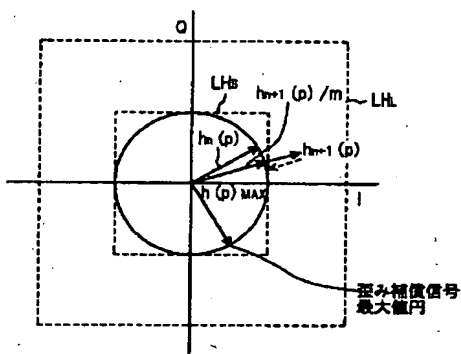
[Drawing 13]

アナログの送信信号と誤差信号を合成して歪デバイスに
入力する歪補償装置の第1実施例



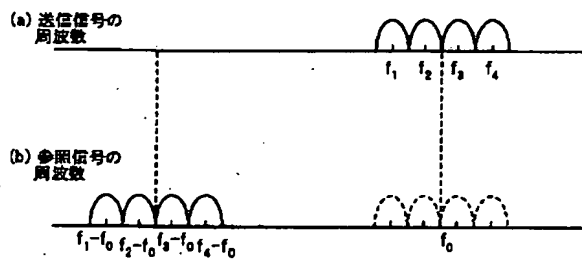
[Drawing 14]

本発明の原理説明図



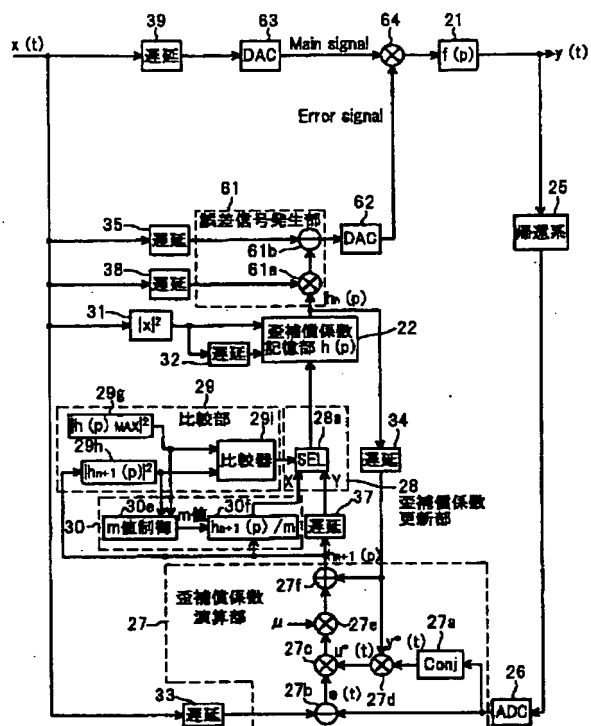
[Drawing 19]

周波数変換説明図



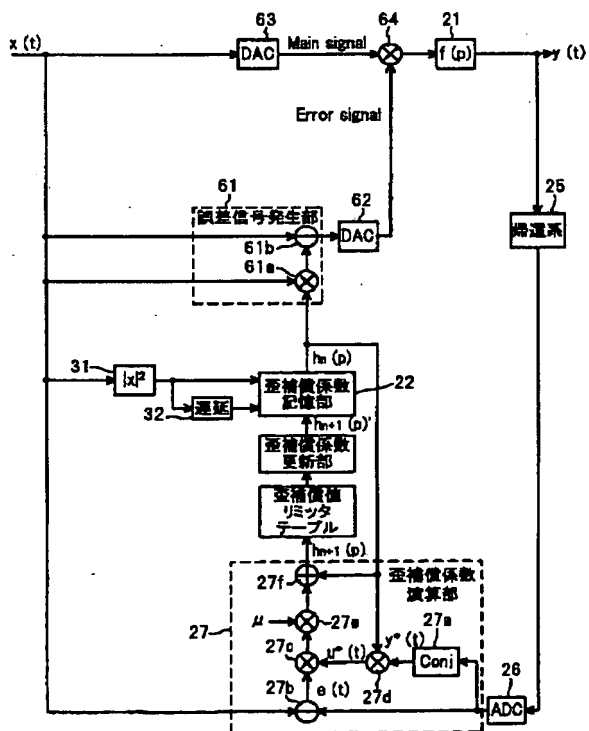
[Drawing 15]

アナログの送信信号と誤差信号を合成して歪デバイスに入力する歪補償装置の第2実施例



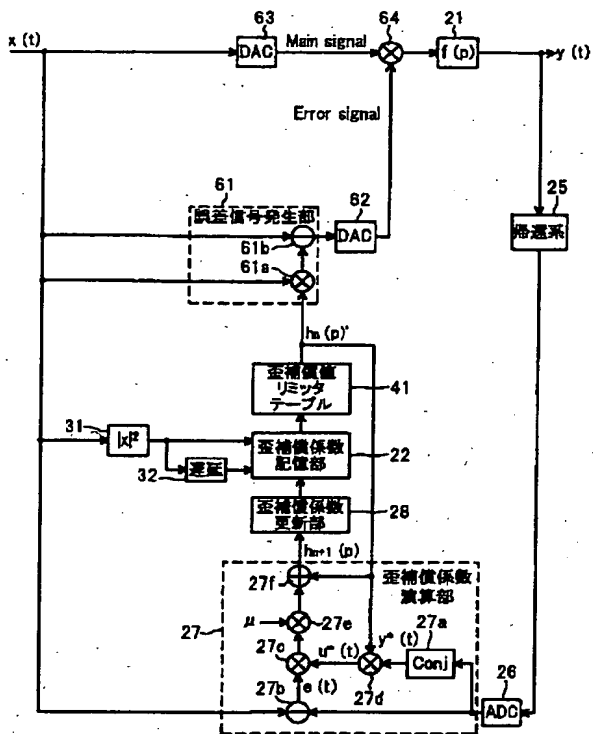
[Drawing 16]

アナログの送信信号と誤差信号を合成して歪デバイスに入力する歪補償装置の第3実施例



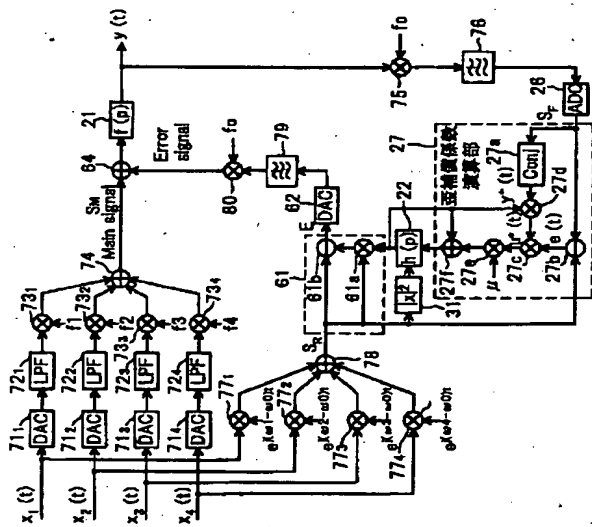
[Drawing 17]

アナログの送信信号と誤差信号を合成して歪デバイスに
入力する歪補償装置の第4実施例



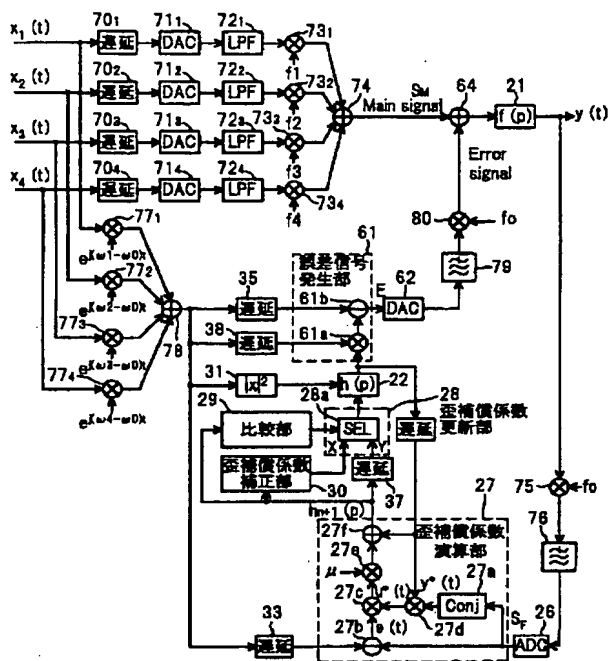
[Drawing 18]

マルチキャリアタイプの送信装置に
歪補償装置を付加した構成



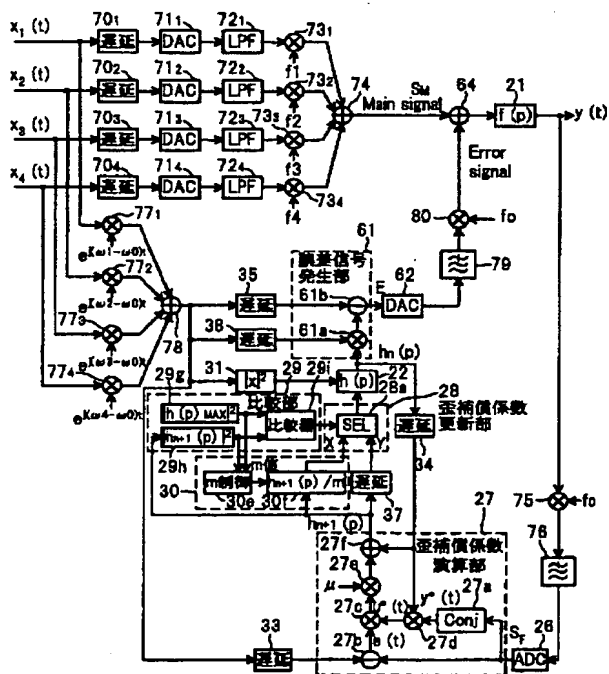
[Drawing 20]

マルチキャリアタイプ歪補償装置の構成図(第5実施例)



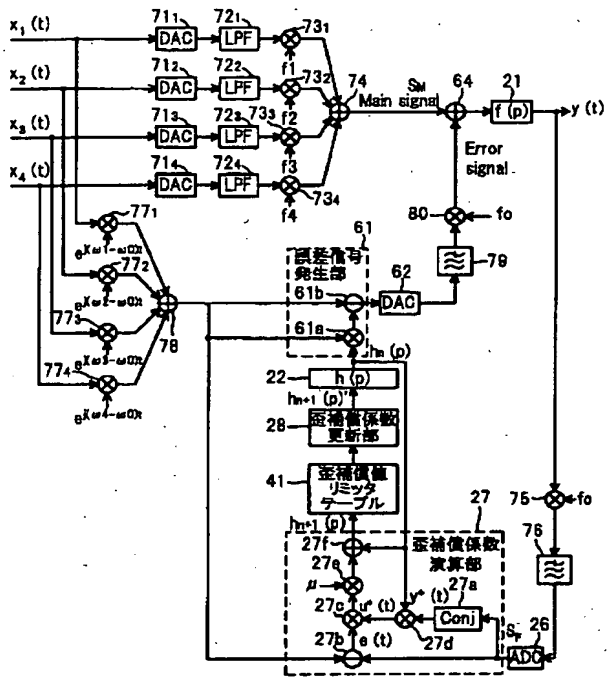
[Drawing 21]

マルチキャリアタイプ歪補償装置の構成図(第6実施例)



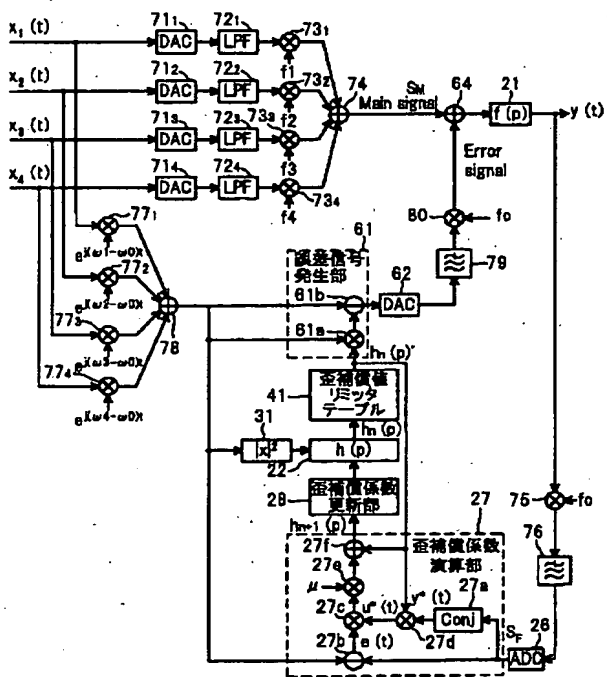
[Drawing 22]

マルチキャリアタイプ歪補償装置の構成図(第7実施例)



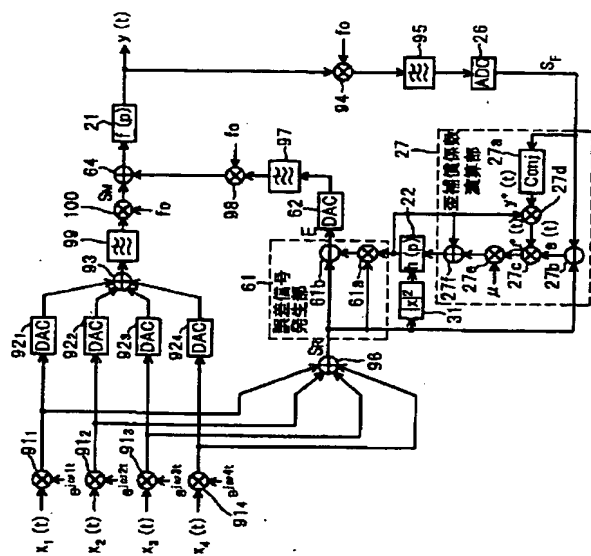
[Drawing 23]

マルチキャリアタイプ亞補償装置の構成図(第8実施例)



[Drawing 24]

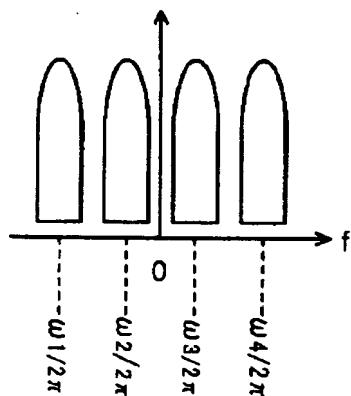
マルチキャリアタイプの別の送信装置に
 歪補償装置を付加した構成



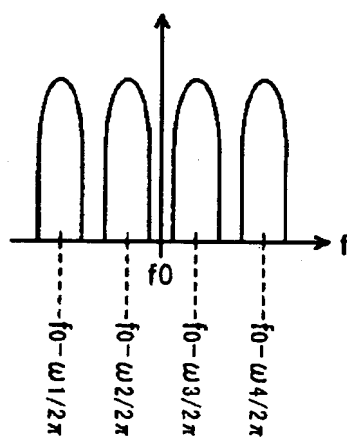
[Drawing 25]

周波数変換説明図

(a)

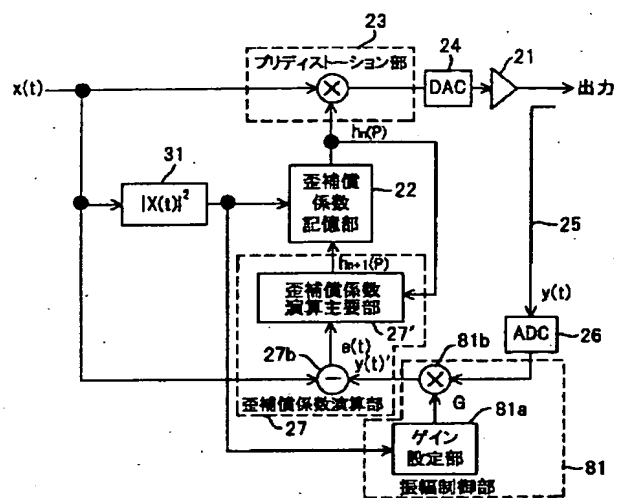


(b)



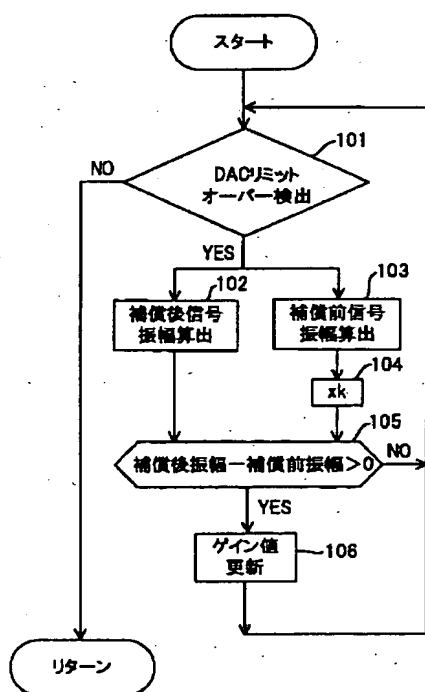
[Drawing 30]

フィードバック信号の振幅制御機能を備えた
歪補償装置の第1実施例



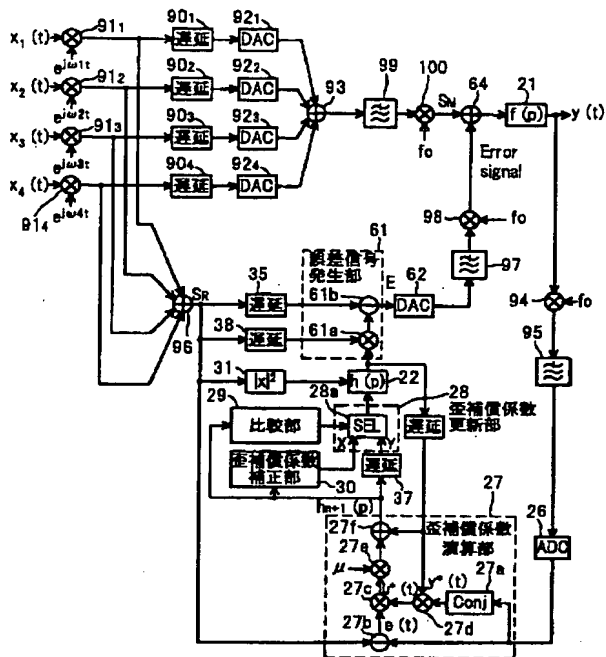
[Drawing 37]

第4実施例の全体の処理フロー



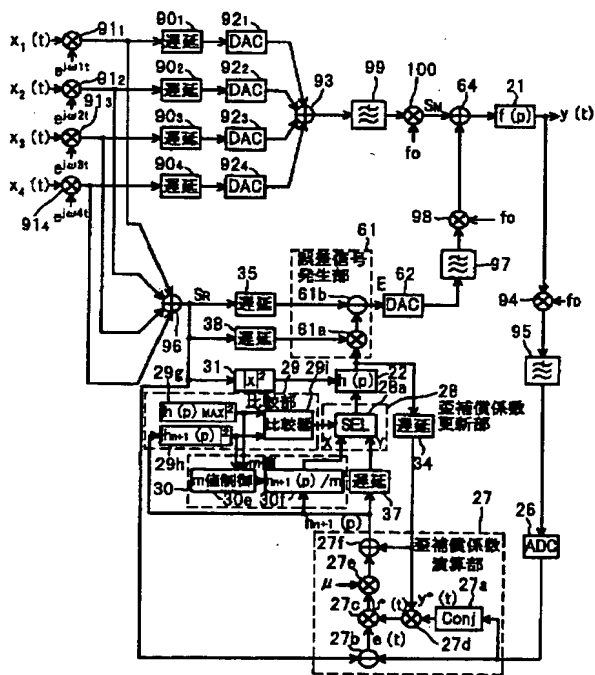
[Drawing 26]

マルチキャリアタイプ歪補償装置の構成図(第9実施例)



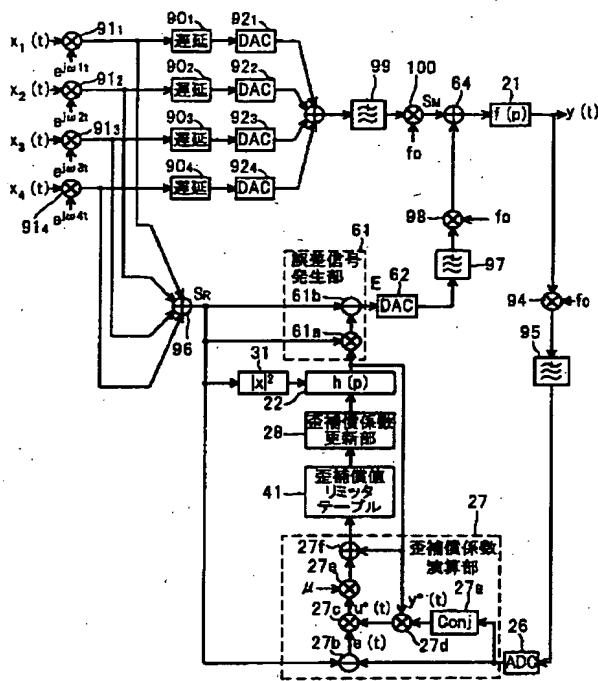
[Drawing 27]

マルチキャリアタイプ歪補償装置の構成図(第10実施例)



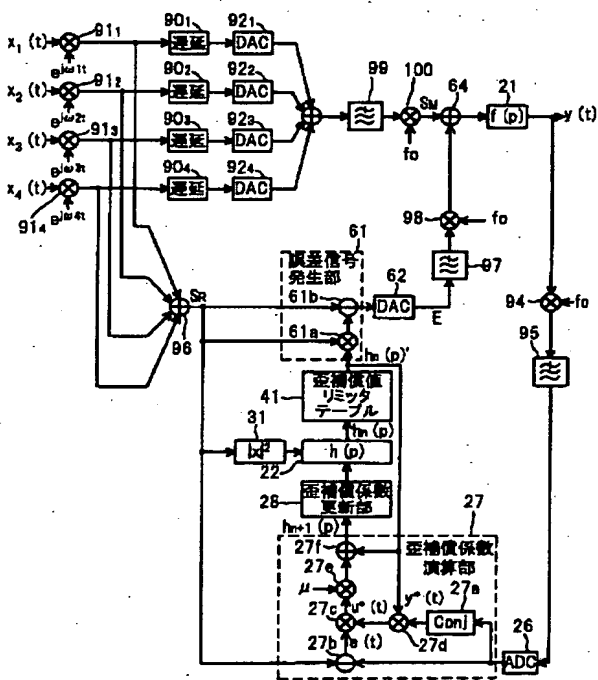
[Drawing 28]

マルチキャリアタイプ歪補償装置の構成図(第11実施例)



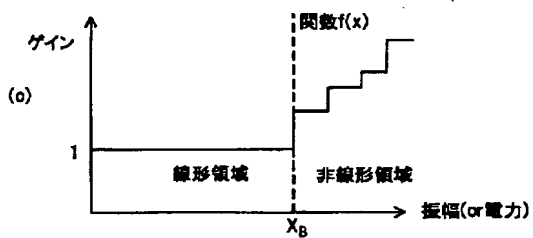
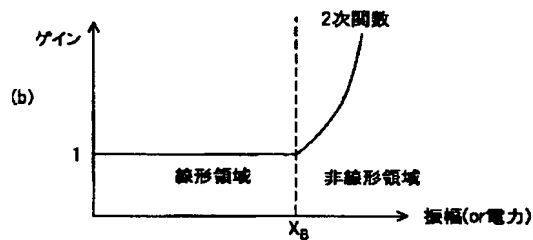
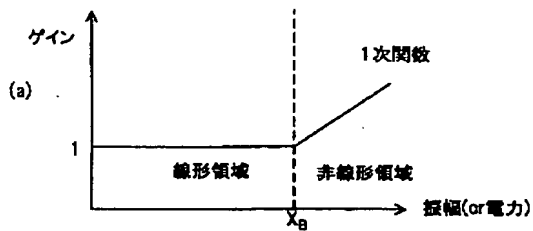
[Drawing 29]

マルチキャリアタイプ歪補償装置の構成図(第12実施例)



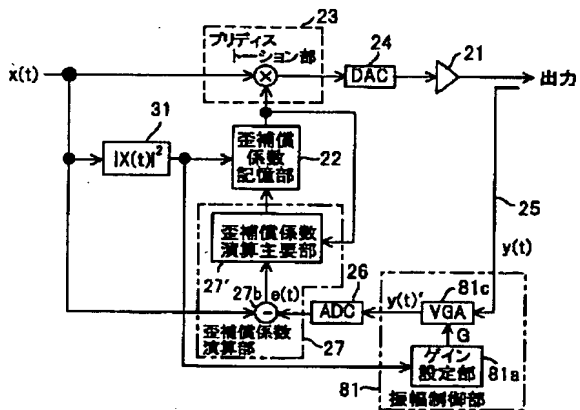
[Drawing 31]

送信信号振幅(電力)とゲインの関係説明図



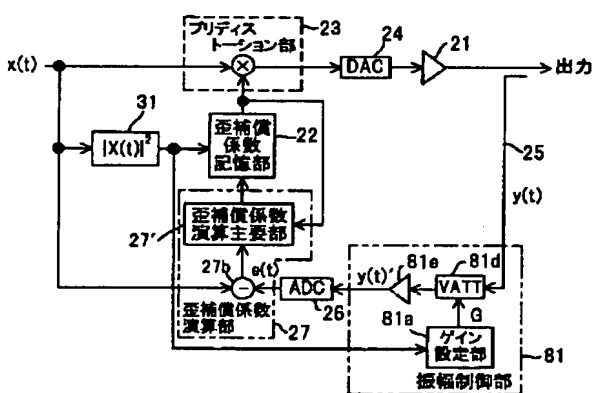
[Drawing 32]

第1実施例の第1の変形例



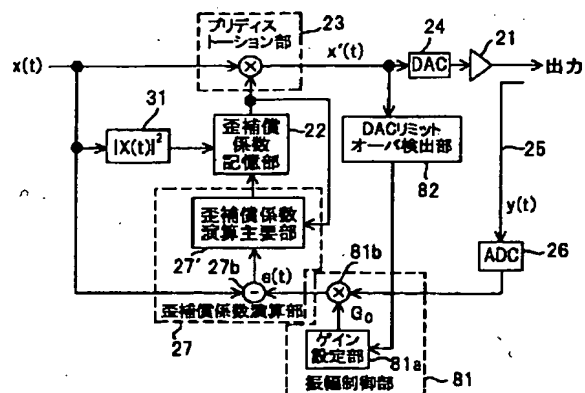
[Drawing 33]

第1実施例の第2の変形例



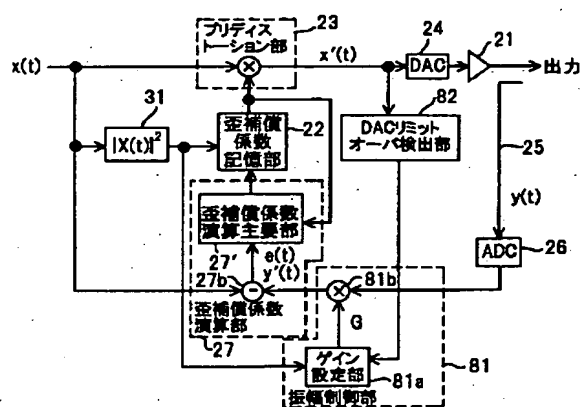
[Drawing 34]

フィードバック信号の振幅制御機能を備えた歪補償装置の第2実施例



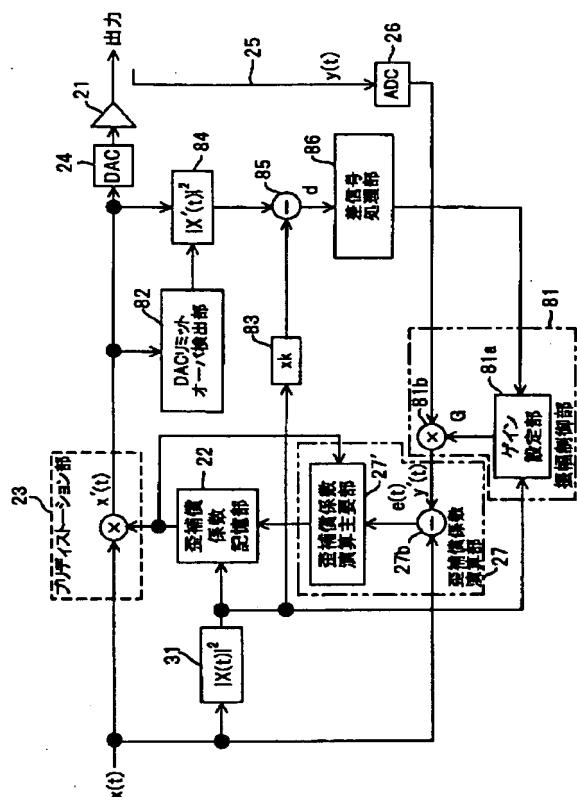
[Drawing 35]

フィードバック信号の振幅制御機能を備えた歪補償装置の第3実施例



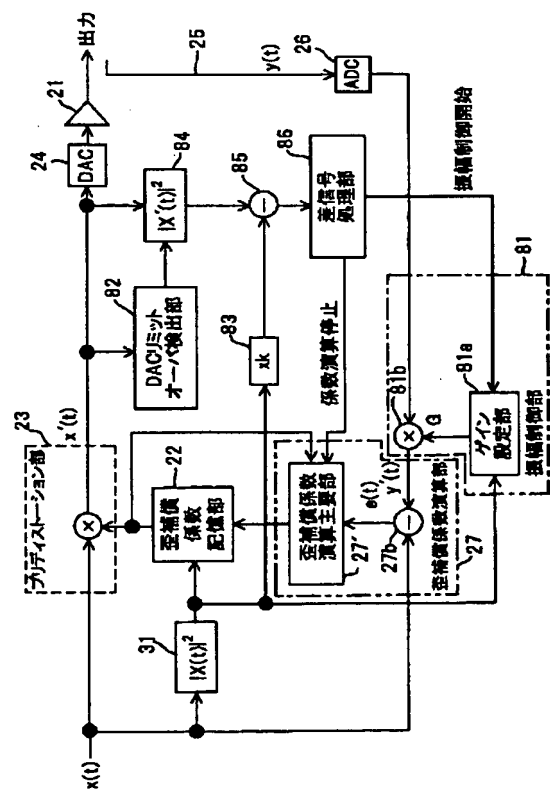
[Drawing 36]

フィードバック信号の振幅制御機能を備えた
歪補償装置の第4実施例



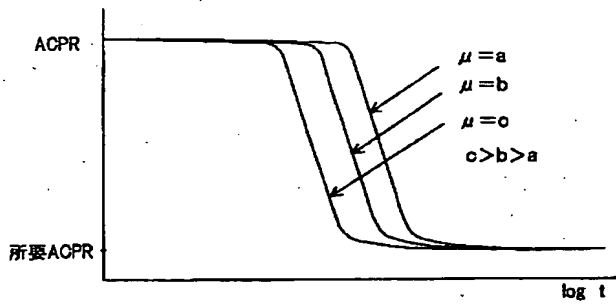
[Drawing 38]

第4実施例の第1変形例



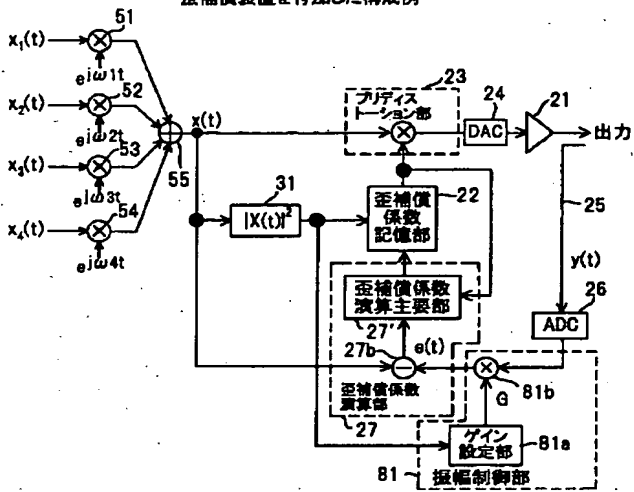
[Drawing 40]

μ 値と収束時間の関係説明図



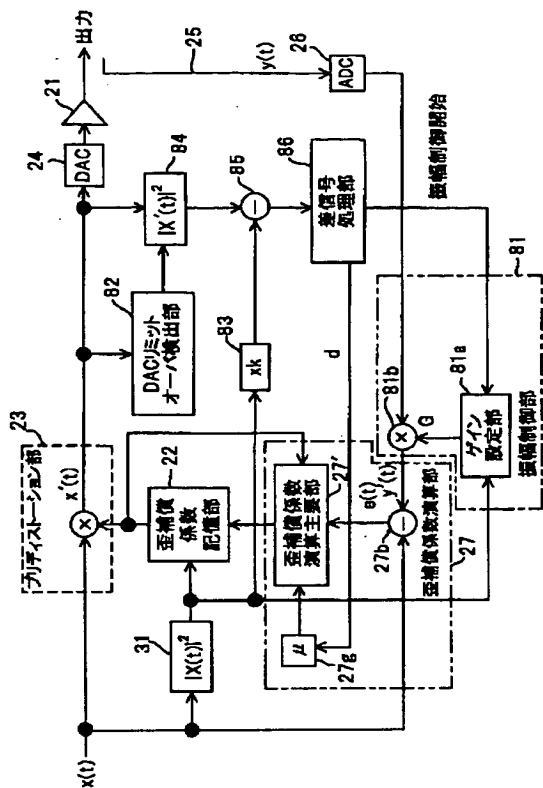
[Drawing 41]

マルチキャリアタイプの送信装置に本発明の歪補償装置を付加した構成例



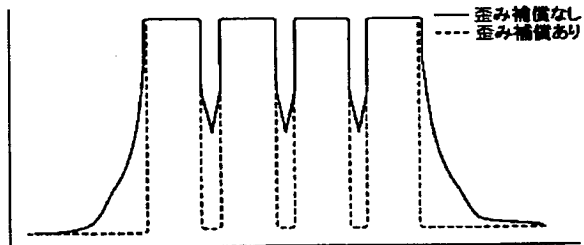
[Drawing 39]

第4実施例の第2変形例



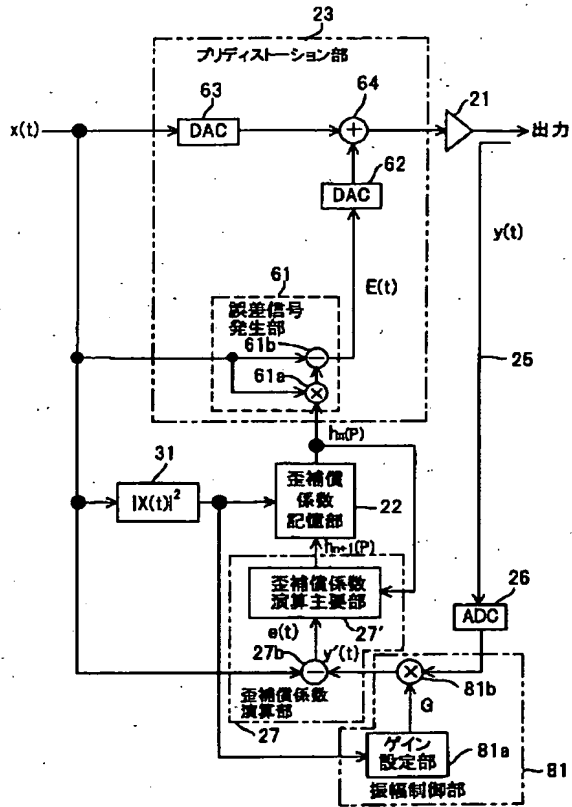
[Drawing 42]

マルチキャリアリニアライザの効果例



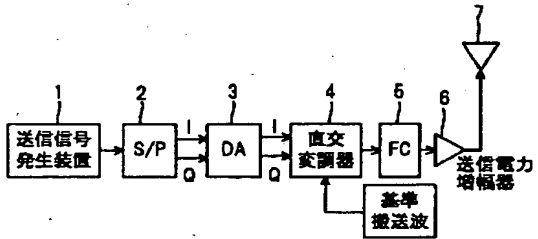
[Drawing 43]

フィードバック信号の振幅制御機能を備えた歪補償装置の第6実施例



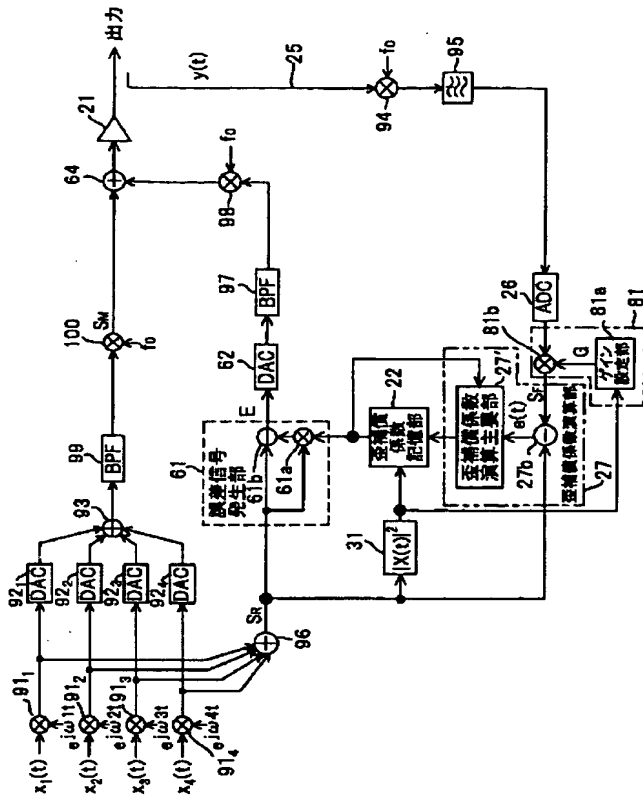
[Drawing 45]

従来の送信装置の構成



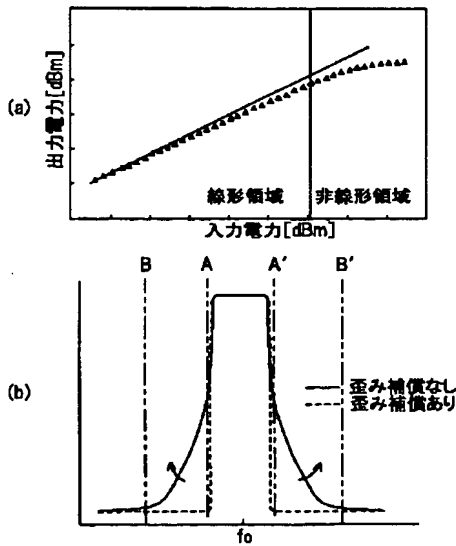
[Drawing 44]

マルチキャリアタイプの送信装置の構成図



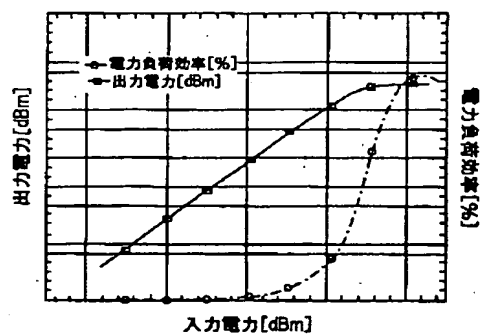
[Drawing 46]

送信電力増幅器の非直線性による問題点の説明図



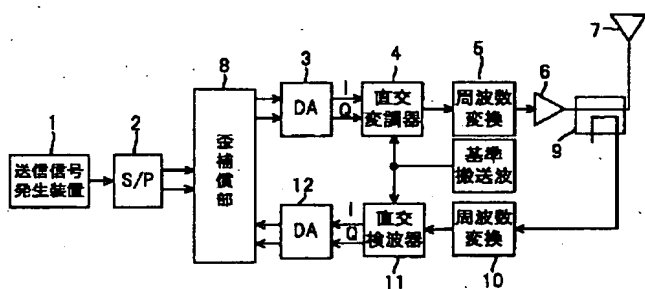
[Drawing 47]

電力増幅器の効率特性例



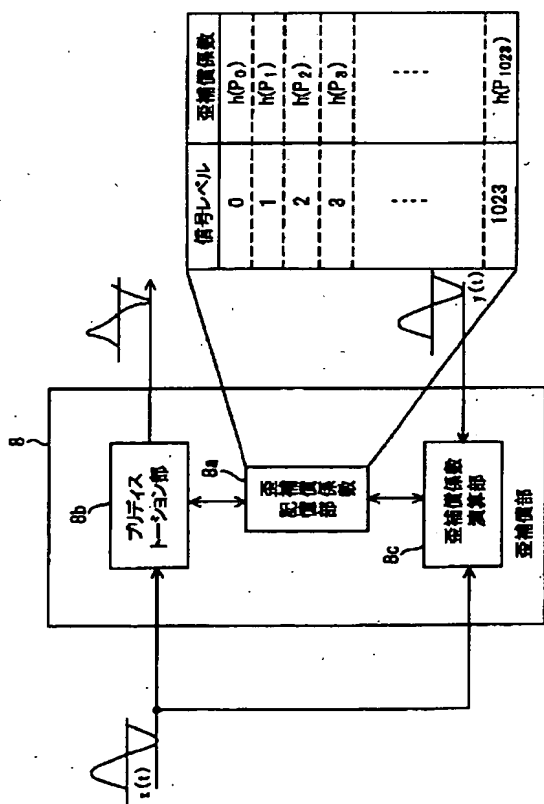
[Drawing 48]

従来のデジタル非線形歪補償機能を備えた送信装置の構成図



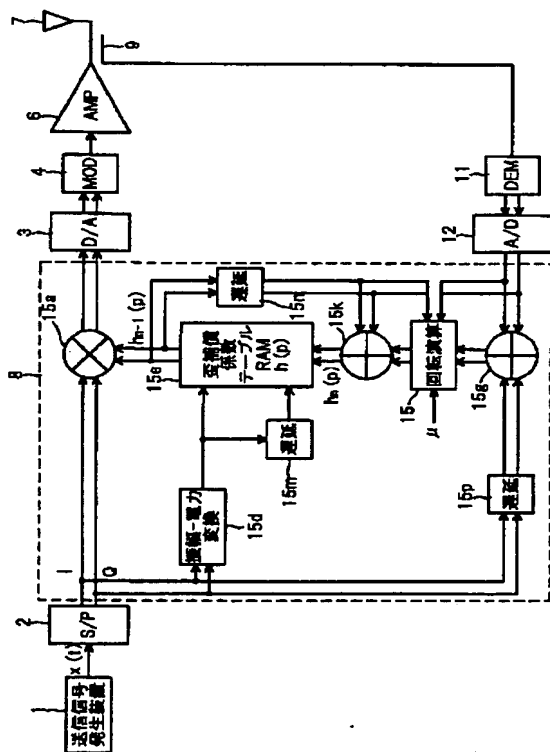
[Drawing 49]

補償部の機能構成図



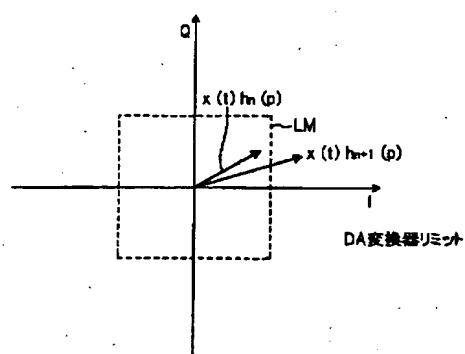
[Drawing 50]

$x(t) = I(t) + jQ(t)$ と複素表現した送信装置の全体の構成図



[Drawing 52]

従来の歪補償装置の問題点説明図



[Translation done.]

THIS PAGE BLANK (c3710)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-251148

(P2001-251148A)

(43) 公開日 平成13年9月14日 (2001.9.14)

(51) Int.Cl.	識別記号	F I	テーマコード (参考)
H 0 3 F 1/32		H 0 3 F 1/32	5 J 0 9 0
1/34		1/34	5 J 0 9 1
3/24		3/24	5 K 0 0 4
H 0 4 J 1/00		H 0 4 J 1/00	5 K 0 2 2
11/00		11/00	Z

審査請求 未請求 請求項の数30 O L (全 34 頁) 最終頁に続く

(21) 出願番号 特願2000-97092(P2000-97092)

(22) 出願日 平成12年3月31日 (2000.3.31)

(31) 優先権主張番号 特願平11-372885

(32) 優先日 平成11年12月28日 (1999.12.28)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 大出 高義

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 大石 泰之

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100084711

弁理士 斉藤 千幹

最終頁に続く

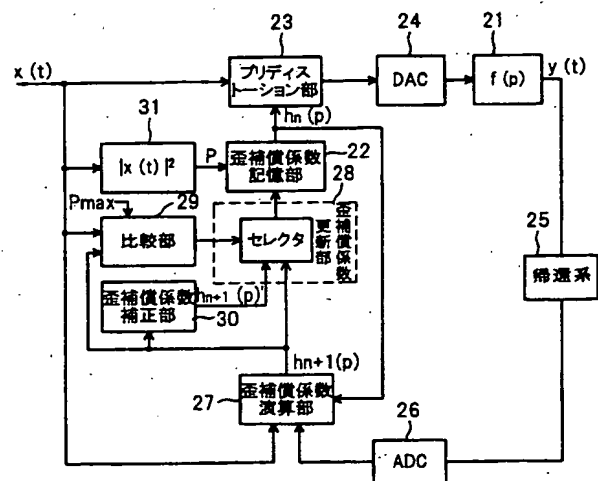
(54) 【発明の名称】 歪補償装置

(57) 【要約】

【課題】 歪補償された送信信号がDA変換器のダイナミックレンジ(DA変換器リミット)を越えないように事前に歪補償係数の大きさをその位相を維持したまま補正する。

【解決手段】 歪補償係数演算部27において歪補償係数 $h_{n+1}(p)$ が演算されて歪補償係数記憶部22に記憶する前に、該歪補償係数 $h_{n+1}(p)$ を用いて歪補償するものとしたとき、歪補償により得られる信号 $x(t) * h_{n+1}(p)$ がDA変換器24のリミットを越えるか比較部29において事前に調べ、越える場合には歪補償係数補正部30で歪補償係数の大きさをその位相を維持したまま小さくなるように補正して記憶部22に記憶する。

本発明のシングルキャリアタイプ歪補償装置の概略構成図



【特許請求の範囲】

【請求項 1】 送信電力増幅器の歪を補償するための歪補償係数を送信信号のパワーに対応させて記憶するメモリ、送信信号のパワーに応じた歪補償係数を用いて送信信号に歪補償処理を施すプリディストーション部、歪補償処理を施されたデジタルの送信信号をアナログ信号に変換して送信電力増幅器に入力する D/A 変換器、歪補償前の送信信号と送信電力増幅器の出力側からフィードバックされるフィードバック信号とに基づいて歪補償係数を演算する歪補償係数演算部、演算された歪補償係数でメモリに記憶されている歪補償係数を更新する歪補償係数更新部を備えた歪補償装置において、歪補償処理を施された送信信号が前記 D/A 変換器のダイナミックレンジを越えないように、前記歪補償係数演算部で演算された歪補償係数を補正する歪補償係数補正部を備え、前記歪補償係数更新部は前記補正された歪補償係数で前記メモリに記憶されている歪補償係数を更新することを特徴とする歪補償装置。

【請求項 2】 送信電力増幅器の歪を補償するための歪補償係数を送信信号のパワーに対応させて記憶するメモリ、送信信号 $x(t)$ のパワーに応じた歪補償係数 $h_n(p)$ をメモリから読み出し、該歪補償係数を用いて送信信号に歪補償処理を施すプリディストーション部、歪補償処理を施されたデジタルの送信信号をアナログ信号に変換する D/A 変換器、歪補償前の送信信号と送信電力増幅器の出力信号に基づいて歪補償係数 $h_{n+1}(p)$ を演算する歪補償係数演算部、演算された歪補償係数 $h_{n+1}(p)$ を送信信号 $x(t)$ のパワーに対応させて前記メモリに記憶することにより歪補償係数を更新する歪補償係数更新部を備えた歪補償装置において、歪補償係数演算部で演算された歪補償係数 $h_{n+1}(p)$ を前記メモリに記憶する前に、該歪補償係数 $h_{n+1}(p)$ を用いた歪補償処理によりプリディストーション部より出力される送信信号のパワー P_a と設定上限パワー P_{max} を比較する比較部、該送信信号パワー P_a が上限パワー P_{max} 以下となるように歪補償係数 $h_{n+1}(p)$ を補正する歪補償係数補正部を備え、前記歪補償係数更新部は、送信信号のパワー P_a が前記上限パワー P_{max} より大きいとき、補正された歪補償係数 $h_{n+1}(p)'$ を前記メモリに記憶することにより歪補償係数を更新することを特徴とする歪補償装置。

【請求項 3】 前記歪補償処理を施された送信信号のパワー P_a と設定上限パワー P_{max} の比を m^2 とすれば、前記歪補償係数補正部は歪補償係数 $h_{n+1}(p)$ を $1/m$ することにより補正された歪補償係数 $h_{n+1}(p)'$ を出力することを特徴とする請求項 2 記載の歪補償装置。

【請求項 4】 前記歪補償係数更新部は、送信信号のパワー P_a が前記上限パワーより小さければ前記演算され

た歪補償係数 $h_{n+1}(p)$ を、送信信号のパワー P_a が前記上限パワーより大きければ前記補正された歪補償係数 $h_{n+1}(p)'$ を前記メモリに記憶することにより歪補償係数を更新する、

ことを特徴とする請求項 3 記載の歪補償装置。

【請求項 5】 前記歪補償係数補正部は、演算された歪補償係数 $h_{n+1}(p)$ よりその $1/n$ ($=h_{n+1}(p)/n$) を減算することにより歪補償係数を補正するとき、次式 $n \leq h_{n+1}(p)/\Delta h_{n+1}(p) \leq 2^n$ を満足する最小の整数 N を求め、歪補償係数 $h_{n+1}(p)$ の $1/n$ の演算を N ビットのシフト演算により実行することを特徴とする請求項 2 記載の歪補償装置。ただし、 $\Delta h_{n+1}(p)$ は次式を満足する値である。

【請求項 6】 送信電力増幅器の歪を補償するための歪補償係数を送信信号のパワーに対応させて記憶するメモリ、送信信号のパワーに応じた歪補償係数を用いて送信信号に歪補償処理を施すプリディストーション部、歪補償処理を施されたデジタルの送信信号をアナログ信号に変換して送信電力増幅器に入力する D/A 変換器、歪補償前の送信信号と送信電力増幅器の出力側からフィードバックされるフィードバック信号とに基づいて歪補償係数を演算する歪補償係数演算部、演算された歪補償係数でメモリに記憶されている歪補償係数を更新する歪補償係数更新部を備えた歪補償装置において、設定上限パワー P_{max} と送信信号 $x(t)$ のパワーとから求める最大歪補償係数 $h(p)_{max}$ の二乗値を出力する最大歪補償係数出力部、

前記歪補償係数演算部において歪補償係数 $h_{n+1}(p)$ が演算された時、該歪補償係数の二乗値 $|h_{n+1}(p)|^2$ と前記最大歪補償係数の二乗値 $|h(p)_{max}|^2$ の大小を比較する比較部、

前記歪補償係数の二乗値が最大歪補償係数の二乗値より小さくなるように、歪補償係数を補正する歪補償係数補正部を備え、

前記歪補償係数更新部は、前記歪補償係数の二乗値が最大歪補償係数の二乗値より大きいとき、前記補正された歪補償係数で前記メモリに記憶されている歪補償係数を更新することを特徴とする歪補償装置。

【請求項 7】 前記最大歪補償係数出力部は、送信信号 $x(t)$ のパワーに対応させて最大歪補償係数 $h(p)_{max}$ の二乗値を記憶するテーブルを備え、該テーブルより最大歪補償係数 $h(p)_{max}$ の二乗値を求めて出力することを特徴とする請求項 6 記載の歪補償装置。

【請求項 8】 前記演算された歪補償係数 $h_{n+1}(p)$ を用いた歪補償処理によりプリディストーション部より出力される送信信号のパワー P_a と設定上限パワー P_{max} の比を m^2 とすれば、前記歪補償係数補正部は歪補償係数 $h_{n+1}(p)$ を $1/m$ することにより補正することを特徴とする請求項 6 記載の歪補償装置。

【請求項9】 歪補償係数更新部は、歪補償係数の二乗値 $|h_{n+1}(p)|^2$ が最大歪補償係数の二乗値 $|h(p)_{\max}|^2$ より小さければ、前記演算された歪補償係数 $h_{n+1}(p)$ を、歪補償係数の二乗値が最大歪補償係数の二乗値より大きければ前記補正された歪補償係数 $h_{n+1}(p)' (=h_{n+1}(p)/m)$ を前記メモリに記憶することにより歪補償係数を更新する、

ことを特徴とする請求項6記載の歪補償装置。

【請求項10】 前記歪補償係数補正部は、演算された歪補償係数 $h_{n+1}(p)$ よりその $1/n (=h_{n+1}(p)/n)$ を減算することにより歪補償係数を補正するとき、次式 $n \leq h_{n+1}(p)/\Delta h_{n+1}(p) \leq 2^N$ を満足する最小の整数 N を求め、歪補償係数 $h_{n+1}(p)$ の $1/n$ の演算を N ビットのシフトにより実行することを特徴とする請求項6記載の歪補償装置。ただし、 $\Delta h_{n+1}(p)$ は次式を

$$h_{n+1}(p) = h_n(p) + \Delta h_{n+1}(p)$$

を満足する値である。

【請求項11】 送信電力増幅器の歪を補償するための歪補償係数を送信信号のパワーに対応させて記憶するメモリ、送信信号のパワーに応じた歪補償係数を用いて送信信号に歪補償処理を施すプリディストーション部、歪補償処理を施されたデジタルの送信信号をアナログ信号に変換して送信電力増幅器に入力するD/A変換器、歪補償前の送信信号と送信電力増幅器の出力側からフィードバックされるフィードバック信号とに基づいて歪補償係数を演算する歪補償係数演算部、演算された歪補償係数でメモリに記憶されている歪補償係数を更新する歪補償係数更新部を備えた歪補償装置において、歪補償係数演算部で演算された歪補償係数 $h_{n+1}(p)$ を用いて送信信号 $x(t)$ に歪補償処理を施した時の送信信号のパワーが P_a が設定上限パワー P_{\max} より小さくなるように歪補償係数 $h_{n+1}(p)$ を補正し、該補正された歪補償係数 $h_{n+1}(p)'$ を $|x(t)|^2$ 、 $h_{n+1}(p)$ の組み合わせに対応させて記憶し、かつ、歪補償された送信信号のパワー P_a が上限パワー P_{\max} より小さいとき、歪補償係数 $h_{n+1}(p)$ をそのまま $|x(t)|^2$ 、 $h_{n+1}(p)$ の組み合わせに対応させて記憶するテーブルを備え、前記歪補償係数演算部で歪補償係数が演算された時、前記歪補償係数更新部は演算された歪補償係数 $h_{n+1}(p)$ 、送信信号 $x(t)$ のパワー $|x(t)|^2$ の組み合わせに応じた歪補償係数を前記テーブルより求め、該歪補償係数を前記メモリに記憶することを特徴とする歪補償装置。

【請求項12】 送信電力増幅器の歪を補償するための歪補償係数を送信信号のパワーに対応させて記憶するメモリ、送信信号のパワーに応じた歪補償係数を用いて送信信号に歪補償処理を施すプリディストーション部、歪補償処理を施されたデジタルの送信信号をアナログ信号に変換して送信電力増幅器に入力するD/A変換器、歪補償前の送信信号と送信電力増幅器の出力側からフィードバックされるフィードバック信号とに基づいて歪補償

係数を演算する歪補償係数演算部、演算された歪補償係数でメモリに記憶されている歪補償係数を更新する歪補償係数更新部を備えた歪補償装置において、

歪補償係数演算部で演算された歪補償係数 $h_n(p)$ を用いて送信信号 $x(t)$ に歪補償処理を施した時の送信信号のパワー P_a が設定上限パワー P_{\max} より小さくなるように歪補償係数 $h_n(p)$ を補正し、該補正された歪補償係数 $h_n(p)'$ を $|x(t)|^2$ 、 $h_n(p)$ の組み合わせに対応させて記憶し、かつ、歪補償された送信信号のパワー P_a が設定上限パワー P_{\max} より小さいとき、歪補償係数 $h_n(p)$ をそのまま $|x(t)|^2$ 、 $h_n(p)$ の組み合わせに対応させて記憶するテーブルを備え、

送信信号 $x(t)$ のパワーに $|x(t)|^2$ 応じた歪補償係数 $h_n(p)$ を前記メモリより読み出し、 $|x(t)|^2$ と歪補償係数 $h_n(p)$ の組み合わせに応じた歪補償係数を前記テーブルより読出してプリディストーション部に入力することを特徴とする歪補償装置。

【請求項13】 デジタルの各送信信号にキャリア間隔によって決まるデジタル周波数シフト演算を施して多重する周波数多重部を備え、

該周波数多重信号を送信信号 $x(t)$ としてプリディストーション部、歪補償係数演算部等に入力することを特徴とする請求項1または請求項2または請求項6または請求項11または請求項12記載の歪補償装置。

【請求項14】 送信電力増幅器の歪を補償するための歪補償係数を送信信号のパワーに対応させて記憶するメモリ、送信信号のパワーに応じた歪補償係数をメモリから読み出し、該歪補償係数を用いて送信信号に歪補償処理を施し、歪補償処理を施して得られる送信信号と歪補償処理を施す前の送信信号との差である誤差信号を出力する誤差信号発生部、該誤差信号をアナログに変換して出力するD/A変換器、D/A変換器出力をアナログの送信信号に加算して送信電力増幅器に入力する合成部、歪補償前の送信信号と送信電力増幅器の出力信号に基づいて歪補償係数を演算する歪補償係数演算部、演算された歪補償係数を送信信号のパワーに対応させて前記メモリに記憶することにより歪補償係数を更新する歪補償係数更新部を備えた歪補償装置において、誤差信号が前記D/A変換器のダイナミックレンジを越えないように、前記歪補償係数演算部で演算された歪補償係数を補正する歪補償係数補正部を備え、歪補償係数更新部は前記補正された歪補償係数を前記メモリに記憶することにより歪補償係数を更新することを特徴とする歪補償装置。

【請求項15】 送信電力増幅器の歪を補償するための歪補償係数を送信信号のパワーに対応させて記憶するメモリ、送信信号のパワーに応じた歪補償係数をメモリから読み出し、該歪補償係数を用いて送信信号に歪補償処理を施し、歪補償処理を施して得られる送信信号と歪補償処理を施す前の送信信号との差である誤差信号を出力

する誤差信号発生部、該誤差信号をアナログに変換して出力する D A 変換器、D A 変換器出力をアナログの送信信号に加算して送信電力増幅器に入力する合成部、歪補償前の送信信号と送信電力増幅器の出力信号に基づいて歪補償係数を演算する歪補償係数演算部、演算された歪補償係数を送信信号のパワーに対応させて前記メモリに記憶することにより歪補償係数を更新する歪補償係数更新部を備えた歪補償装置において、歪補償係数演算部で演算された歪補償係数 $h_{n+1}(p)$ を前記メモリに記憶する前に、該歪補償係数 $h_{n+1}(p)$ の二乗値 $|h_{n+1}(p)|^2$ と設定最大歪補償係数の二乗値 $|h(n)_{\max}|^2$ を比較する比較部、 $|h_{n+1}(p)|^2$ が $|h(n)_{\max}|^2$ より大きいとき、歪補償係数 $h_{n+1}(p)$ を補正する歪補償係数補正部を備え、前記歪補償係数更新部は、 $|h_{n+1}(p)|^2$ が $|h(n)_{\max}|^2$ より小さければ前記演算された歪補償係数を、 $|h_{n+1}(p)|^2$ が $|h(n)_{\max}|^2$ より大きければ前記補正された歪補償係数を前記メモリに記憶することにより歪補償係数を更新する、ことを特徴とする歪補償装置。

【請求項 16】 前記 $|h_{n+1}(p)|^2$ と $|h(n)_{\max}|^2$ の比を m^2 とすれば、前記歪補償係数補正部は歪補償係数 $h_{n+1}(p)$ を $1/m$ することにより補正された歪補償係数 $h_{n+1}(p)'$ を出力することを特徴とする請求項 15 記載の歪補償装置。

【請求項 17】 送信電力増幅器の歪を補償するための歪補償係数を送信信号のパワーに対応させて記憶するメモリ、送信信号のパワーに応じた歪補償係数をメモリから読み出し、該歪補償係数を用いて送信信号に歪補償処理を施し、歪補償処理を施して得られる送信信号と歪補償処理を施す前の送信信号との差である誤差信号を出力する誤差信号発生部、該誤差信号をアナログに変換して出力する D A 変換器、D A 変換器出力をアナログの送信信号に加算して送信電力増幅器に入力する合成部、歪補償前の送信信号と送信電力増幅器の出力信号に基づいて歪補償係数を演算する歪補償係数演算部、演算された歪補償係数を送信信号のパワーに対応させて前記メモリに記憶することにより歪補償係数を更新する歪補償係数更新部を備えた歪補償装置において、歪補償係数演算部で演算された歪補償係数 $h_{n+1}(p)$ の二乗値が設定最大歪補償係数の二乗値 $|h(n)_{\max}|^2$ より小さくなるように歪補償係数 $h_{n+1}(p)$ を補正し、該補正された歪補償係数 $h_{n+1}(p)'$ を $h_{n+1}(p)$ に対応させて記憶するテーブルを備え、前記歪補償係数演算部で歪補償係数が演算された時、前記歪補償係数更新部は演算された歪補償係数 $h_{n+1}(p)$ に応じた歪補償係数の補正值 $h_{n+1}(p)'$ を前記テーブルより求め、該補正值 $h_{n+1}(p)'$ を前記メモリに記憶することを特徴とする歪補償装置。

【請求項 18】 送信電力増幅器の歪を補償するための

歪補償係数を送信信号のパワーに対応させて記憶するメモリ、送信信号のパワーに応じた歪補償係数をメモリから読み出し、該歪補償係数を用いて送信信号に歪補償処理を施し、歪補償処理を施して得られる送信信号と歪補償処理を施す前の送信信号との差である誤差信号を出力する誤差信号発生部、該誤差信号をアナログに変換して出力する D A 変換器、D A 変換器出力をアナログの送信信号に加算して送信電力増幅器に入力する合成部、歪補償前の送信信号と送信電力増幅器の出力信号に基づいて歪補償係数を演算する歪補償係数演算部、演算された歪補償係数を送信信号のパワーに対応させて前記メモリに記憶することにより歪補償係数を更新する歪補償係数更新部を備えた歪補償装置において、歪補償係数演算部で演算された歪補償係数 $h_n(p)$ の二乗値が設定最大歪補償係数の二乗値 $|h(n)_{\max}|^2$ より小さくなるように歪補償係数 $h_n(p)$ を補正し、該補正された歪補償係数 $h_n(p)'$ を $h_n(p)$ に対応させて記憶するテーブルを備え、送信信号 $x(t)$ のパワー $|x(t)|^2$ に応じた歪補償係数 $h_n(p)$ を前記メモリより読み出し、該歪補償係数 $h_n(p)$ に応じた補正歪補償係数 $h_n(p)'$ を前記テーブルより読出して誤差演算部に入力することを特徴とする歪補償装置。

【請求項 19】 デジタルの各送信信号にキャリア間隔によって決まる周波数シフト演算をデジタル的に施して多重し、該周波数多重信号を送信信号 $x(t)$ として前記誤差信号発生部や歪補償係数演算部等に入力し、又、前記デジタルの各送信信号をアナログの送信ベースバンド信号に変換し、しかる後、各送信ベースバンド信号にキャリア間隔によって決まる周波数シフト演算を施して多重し、該周波数多重信号をアナログの送信信号 $x(t)$ として前記合成部に入力する、ことを特徴とする請求項 14 または請求項 15 または請求項 17 または請求項 18 記載の歪補償装置。

【請求項 20】 デジタルの各送信信号にキャリア間隔によって決まる周波数シフト演算をデジタル的に施して多重し、該周波数多重信号を送信信号 $x(t)$ として前記誤差信号発生部や歪補償係数演算部等に入力し、又、前記各周波数シフト信号をアナログ信号に変換し、しかる後、周波数多重し、該周波数多重信号をアナログの送信信号 $x(t)$ として前記合成部に入力する、ことを特徴とする請求項 14 または請求項 15 または請求項 17 または請求項 18 記載の歪補償装置。

【請求項 21】 送信電力増幅器の歪を補償する歪補償装置において、送信信号のパワーに対応させて送信電力増幅器の歪を補償するための歪補償係数を記憶するメモリ、送信信号のパワーに応じた歪補償係数を用いて送信信号に歪補償処理を施して送信電力増幅器に入力するプリディストーション部、

歪補償前の送信信号と送信電力増幅器の出力側からフィードバックされるフィードバック信号の差分に基づいて歪補償係数を演算し、該歪補償係数でメモリに記憶されている歪補償係数を更新する歪補償係数演算部、歪補償前の送信信号の振幅あるいは電力に基づいて前記フィードバック信号の振幅を制御する振幅制御部、を備えたことを特徴とする歪補償装置。

【請求項22】 送信電力増幅器の歪を補償する歪補償装置において、

送信信号のパワーに対応させて送信電力増幅器の歪を補償するための歪補償係数を記憶するメモリ、

送信信号のパワーに応じた歪補償係数を用いて送信信号に歪補償処理を施して送信電力増幅器に入力するプリディストーション部、

歪補償前の送信信号と送信電力増幅器の出力側からフィードバックされるフィードバック信号との差分に基づいて歪補償係数を演算し、該歪補償係数でメモリに記憶されている歪補償係数を更新する歪補償係数演算部、前記歪補償処理を施された送信信号が制限レベルをオーバーしているか検出する制限レベルオーバー検出部、制限レベルオーバー時に前記フィードバック信号の振幅を制御する振幅制御部、を備えたことを特徴とする歪補償装置。

【請求項23】 前記振幅制御部は歪補償前の送信信号の振幅あるいは電力に基づいて前記フィードバック信号の振幅を制御することを特徴とする請求項22記載の歪補償装置。

【請求項24】 歪補償前の送信信号を k 倍した信号と歪補償処理を施された送信信号を比較し、制限レベルオーバー時において後者が前者より大きいとき、フィードバック信号の振幅制御の開始を指示する手段を備え、前記振幅制御部は振幅制御開始指示により、フィードバック信号の振幅制御を行うことを特徴とする請求項22又は請求項23記載の歪補償装置。

【請求項25】 歪補償前の送信信号を k 倍した信号と歪補償処理を施された送信信号を比較し、制限レベルオーバー時において後者が前者より大きいとき、フィードバック信号の振幅制御の開始を指示すると共に、後者と前者の差が閾値を越えたとき、歪補償係数の更新停止を指示する手段を備え、

前記振幅制御部は振幅制御の開始指示によりフィードバック信号の振幅制御を行い、前記歪補償係数演算部は歪補償係数の更新停止指示により、歪補償係数の演算を停止する、ことを特徴とする請求項22又は請求項23記載の歪補償装置。

【請求項26】 歪補償前の送信信号を k 倍した信号と歪補償処理を施された送信信号を比較し、制限レベルオーバー時において後者が前者より大きいとき、フィードバック信号の振幅制御の開始を指示すると共に、後者と前者の差を歪補償係数演算部に入力する手段を備え、

前記振幅制御部は振幅制御の開始指示によりフィードバック信号の振幅制御を行い、前記歪補償係数演算部は前記差に基づいて歪補償係数演算に使用するパラメータ値を変更する、ことを特徴とする請求項22又は請求項23記載の歪補償装置。

【請求項27】 歪補償処理を施されたデジタルの送信信号をアナログ信号に変換して送信電力増幅器に入力するDA変換器を備え、

前記プリディストーション部は歪補償前のデジタルの送信信号にデジタルの歪補償係数を乗算することにより送信信号に歪補償処理を施し、前記DA変換器はプリディストーション出力をアナログに変換して出力することを特徴とする請求項21～26の何れかに記載の歪補償装置。

【請求項28】 前記プリディストーション部は、送信信号のパワーに応じた歪補償係数をメモリから読み出し、該歪補償係数を用いて送信信号に歪補償処理を施し、歪補償処理を施して得られる送信信号と歪補償処理を施す前の送信信号との差である誤差信号を出力する誤差信号発生部、

該誤差信号をアナログに変換して出力するDA変換器、DA変換器出力をアナログの送信信号に加算して送信電力増幅器に入力する合成部、を備えたことを特徴とする請求項21～26の何れかに記載の歪補償装置。

【請求項29】 デジタルの各送信信号にキャリア間隔によって決まるデジタル周波数シフト演算を施して多重する周波数多重部を備え、該周波数多重信号を送信信号としてプリディストーション部、歪補償係数演算部等に入力することを特徴とする請求項21～26の何れかに記載の歪補償装置。

【請求項30】 デジタルの各送信信号にキャリア間隔によって決まるデジタル周波数シフト演算を施して多重し、該周波数多重信号をデジタルの送信信号とする第1の周波数多重部、前記各周波数シフト信号をアナログ信号に変換して多重し、該周波数多重信号をアナログの送信信号とする第2の周波数多重部を備え、

前記誤差信号発生部は周波数多重されたデジタルの送信信号に基づいて誤差信号を発生し、前記DA変換器は該誤差信号をアナログ信号に変換し、前記合成部はDA変換器出力とアナログの送信信号を合成して送信電力増幅器に入力することを特徴とする請求項28記載の歪補償装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、歪補償装置に係わり、特に、(1) 出力可能範囲を超える制御が行われそうになったとき振幅制限を行い、且つ、振幅制限が行われた場合でも位相について追従動作を行わせることができ

る歪補償装置及び(2) 送信電力増幅器からフィードバックされた信号振幅を制御して制限値を越えないようにし、歪補償を安定に行えるようにした歪補償装置に関する。

【0002】

【従来の技術】近年周波数資源が逼迫し、無線通信に於いてデジタル化による高能率伝送が多く用いられるようになってきた。無線通信に多値振幅変調方式を適用する場合、送信側特に電力増幅器の増幅特性を直線化して非線型歪を抑え、隣接チャネル漏洩電力を低減する技術が重要であり、また線型性に劣る増幅器を使用し電力効率の向上を図る場合はそれによる歪発生を補償する技術が必須である。

【0003】図45は従来の無線機における送信装置の一例を示すブロック図であり、送信信号発生装置1はシリアルデジタルデータ列を送出し、シリアル/パラレル変換器(S/P変換器)2はデジタルデータ列を1ビットづつ交互に振り分けて同相成分信号(I信号: In-phase component)と直交成分信号(Q信号: Quadrature component)の2系列に変換する。DA変換器3はI信号、Q信号のそれぞれをアナログのベースバンド信号に変換して直交変調器4に入力する。直交変調器4は入力されたI信号、Q信号(送信ベースバンド信号)にそれぞれ基準搬送波とこれを90°移相した信号を乗算し、乗算結果を加算することにより直交変換を行って出力する。周波数変換器5は直交変調信号と局部発振信号をミキシングして周波数変換し、送信電力増幅器6は周波数変換器5から出力された搬送波を電力増幅して空中線(アンテナ)7より空中に放射する。

【0004】W-CDMA及びPDC(Personal Digital Cellular)等の移動通信において、送信装置の送信電力は10mW～数Wと大きく、送信電力増幅器の入出力特性(歪関数 $f(p)$)は図46(a)の点線で示すように非直線性になる。この非直線特性により非線形歪が発生し、送信周波数 f_0 周辺の周波数スペクトラムは図46(b)の実線に示すようにサイドローブが持ち上がり、隣接チャネルに漏洩し、隣接妨害を生じる。すなわち、非線形歪により(b)に示すように送信波が隣接周波数チャネルに漏洩する電力が大きくなってしまふ。漏洩電力をACPR(Adjacent Channel Power Ratio)として説明する。ACPRは(b)の1点鎖線Aと1点鎖線A'間のスペクトラム面積である着目チャネルの電力と1点鎖線A、A'と2点鎖線B、B'間の隣接チャネルに漏れるスペクトラムの面積である隣接漏洩電力の比である。このような漏洩電力は、他チャネルに対して雑音となり、そのチャネルの通信品質を劣化させてしまふ。よって、厳しく規定されている。

【0005】漏洩電力は、例えば電力増幅器の線形領域(図46(a)参照)で小さく、非線形領域で大きくなる。そこで、高出力の送信電力増幅器とするためには、

線形領域を広くする必要がある。しかし、このためには実際に必要な能力以上の増幅器が必要となり、コスト及び装置サイズにおいて不利となる問題がある。また、通常の増幅器では、線形領域での電力負荷効率は図47に示すように低い。ここで電力負荷効率とは、アンプの定格電力に対する出力電力 P_{out} と入力電力 P_{in} の差($P_{out} - P_{in}$)の割合(%)であり、熱になる分である。よって、必要な送信電力を得るには大きな消費電力が必要となってしまう、電力効率においても非常に不利である。そのため、消費電力を低く押さえるために増幅器の非線形領域での使用が不可欠である。しかしながら、前述のように歪が増加し、ACPRを劣化させてしまふ。この状況に対して送信電力の歪を補償し、電力負荷効率の良い領域での増幅器の使用を実現するものが歪補償機能付きの無線装置(リニアライザ)である。フィードバック系の歪補償技術としてカルテジアンループ方式、ポーラーループ方式等が提案され、電力増幅器の歪抑圧を行っている。

【0006】図48はDSPを用いたデジタル非線形歪補償機能を備えた送信装置のブロック図である。送信信号発生装置1から送出されるデジタルデータ群(送信信号)は、S/P変換器2においてI信号、Q信号の2系列に変換されてDSPで構成される歪補償部8に入力される。歪補償部8は機能的に図49に示すように、送信信号 $x(t)$ のパワーレベル0～1023に応じた歪補償係数 $h(p_i)$ ($i=0\sim1023$)を記憶する歪補償係数記憶部8a、送信信号レベルに応じた歪補償係数 $h(p_i)$ を用いて該送信信号に歪補償処理(プリディストーション)を施すプリディストーション部8b、送信信号 $x(t)$ と後述する直交検波器で復調された復調信号(フィードバック信号) $y(t)$ を比較し、その差が零となるように歪補償係数 $h(p_i)$ を演算、更新する歪補償係数演算部8cを備えている。

【0007】歪補償部8は送信信号 $x(t)$ のパワーレベルに応じた歪補償係数 $h(p_i)$ を用いて該送信信号にプリディストーション処理を施し、DA変換器3に入力する。DA変換器3は入力されたI信号とQ信号をアナログのベースバンド信号に変換して直交変調器4に入力する。直交変調器4は入力されたI信号、Q信号にそれぞれ基準搬送波とこれを90°移相した信号を乗算し、乗算結果を加算することにより直交変換を行って出力する。周波数変換器5は直交変調信号と局部発振信号をミキシングして周波数変換し、送信電力増幅器6は周波数変換器5から出力された搬送波信号を電力増幅して空中線(アンテナ)7より空中に放射する。

【0008】送信信号の一部は方向性結合器9を介して周波数変換器10に入力され、ここで周波数変換されて直交検波器11に入力される。直交検波器11は入力信号にそれぞれ基準搬送波とこれを90°移相した信号を乗算して直交検波を行い、送信側におけるベースバンド

のI、Q信号を再現してAD変換器12に入力する。AD変換器12は入力されたI、Q信号をデジタルに変換して歪補償部8に入力する。歪補償部8はLMS (Least Mean Square)アルゴリズムを用いた適応信号処理により歪補償前の送信信号と直交検波器11で復調されたフィードバック信号を比較し、その差が零となるように歪補償係数 $h(p)$ を演算、更新する。ついで、次の送信すべき送信信号に更新した歪補償係数を用いてプリディストーション処理を施して出力する。以後、上記動作を繰り返すことにより、送信電力増幅器6の非線形歪を抑えて隣接チャネル漏洩電力を低減する。

【0009】図50は適応LMSによる歪補償処理の説明図である。15aはベースバンドの送信信号(直交変調信号) $x(t)$ に歪補償係数 $h_{n-1}(p)$ を乗算する乗算器

(図49のプリディストーション部8bに対応)、15bは歪関数 $f(p)$ を有する送信電力増幅器、15cは送信電力増幅器からの出力信号 $y(t)$ を帰還する帰還系、15dは送信信号 $x(t)$ のパワー $p (=x(t)^2)$ を演算する演算部(振幅-電力変換部)、15eは送信信号 $x(t)$ の各パワーに応じた歪補償係数を記憶する歪補償係数記憶部(図49の歪補償係数記憶部8aに対応)であり、送信信号 $x(t)$ のパワー p に応じた歪補償係数 $h_{n-1}(p)$ を出力すると共に、LMSアルゴリズムにより求まる歪補償係数 $h_n(p)$ で歪補償係数 $h_{n-1}(p)$ を更新する。

【0010】15fは共役複素信号出力部、15gは送信信号 $x(t)$ と帰還復調信号 $y(t)$ の差 $e(t)$ を出力する減算器、15hは $e(t)$ と $u^*(t)$ の乗算を行う乗算器、15iは $h_{n-1}(p)$ と $y^*(t)$ の乗算を行う乗算器、15jはステップサイズパラメータ μ を乗算する乗算器、15kは $h_{n-1}(p)$ と $\mu e(t)u^*(t)$ を加算する加算器、15m、15n、15pは遅延部であり、送信信号 $x(t)$ が入力してから帰還復調信号 $y(t)$ が減算器15gに入力するまでの遅延時間を入力信号に付加する。15f、15h~15jは回転演算部16を構成する。 $u(t)$ は歪を受けた信号である。上記構成により、以下に示す演算が行われる。

$$h_n(p) = h_{n-1}(p) + \mu e(t) u^*(t)$$

$$e(t) = x(t) - y(t)$$

$$y(t) = h_{n-1}(p) x(t) f(p)$$

$$u(t) = x(t) f(p) = h_{n-1}^*(p) y(t)$$

$P = |x(t)|^2$ ただし、 x 、 y 、 f 、 h 、 u 、 e は複素数、 $*$ は共役複素数である。上記演算処理を行うことにより、送信信号 $x(t)$ と帰還復調信号 $y(t)$ の差 $e(t)$ が最小となるように歪補償係数 $h(p)$ が更新され、最終的に最適の歪補償係数値に収束し、送信電力増幅器の歪が補償される。

【0011】図51は $x(t) = I(t) + jQ(t)$ として表現した送信装置の全体の構成図であり、図48、図50と同一部分には同一符号を付している。以上のように、デジタル非線形歪補償方式は、送信信号を直交変調し

て得られる搬送波を帰還検波し、送信信号と帰還信号の振幅をデジタル変換して比較し、比較結果に基づいて歪補償係数をリアルタイムに更新するという原理である。この非線形歪補償方式によれば、歪を減少でき、その結果、高出力で非線形領域での動作でもACPRを満たし(すなわち漏洩電力を低く抑え)、かつ、電力負荷効率を改善することができ、低消費電力化が可能となる。また、電力負荷効率の改善により発熱量を削減でき、発熱対策が軽減し、これにより、装置の規模も削減することができる。

【0012】

【発明が解決しようとする課題】歪発生において、信号の振幅歪と位相歪が同時に発生することがある。これは、歪補償された送信信号が歪補償回路の補償振幅範囲を超えると、該信号が歪補償装置の限界値に振幅制限され、振幅値が歪補償装置の上限値に張りつき、位相制御が不可能になるからである。送信電力増幅器は飽和による非線形特性を有しているが、前述のように送信効率上できるだけ飽和に近い状態で使用する。一方、歪補償装置は特性が線形なるように歪補償制御を行うため、飽和に近い状態で使用すると歪補償係数 $h_n(p)$ が次第に大きくなる。このため、歪補償後の送信信号 $x(t) * h(p)$ ($*$ は複素乗算)のレベルが増大し、DA変換器のダイナミックレンジを越え、DA変換器の出力振幅がひずむ。この結果、送信信号に高調波成分が含まれるようになり、振幅のみならず位相もひずみ、隣接漏えいが発生しスペクトル特性が規格外になる。

【0013】図52は従来の歪補償装置の問題点説明図であり、点線LMはDA変換器3のダイナミックレンジ(DA変換器リミット)である。歪補償装置のプリディストーション部から出力する送信信号 $x(t) * h_n(p)$ のレベルがDA変換器リミットLMの内側に存在すれば歪は発生しない。しかし、歪補償処理により送信信号 $x(t)$ に対する歪補償係数 $h_{n+1}(p)$ が大きくなると、図示するように $x(t) * h_{n+1}(p)$ がDA変換器リミットLMを越え、振幅がDA変換器リミットLMにクランプし、高調波成分が発生して位相もひずむ。

【0014】すなわち、電力増幅器の非線形の度合いが大きい領域では、歪み補償によって振幅を大きくしようとしているにも関わらず、帰還信号 $y(t)$ の振幅が大きくなり、補正前の送信信号 $x(t)$ と帰還信号との振幅差 $e(t)$ が大きくなる。振幅差が大きくなれば歪補償部8は、歪補償が期待通りに行なわれていないと判断し、更に差信号 $e(t)$ が小さくなるように歪補償計数 $h_{n+1}(p)$ を大きくする。この結果、歪補償後の信号振幅を更に増加させる。この結果、信号振幅が制限値(DA変換器3のリミットLM)を超えてしまう。そのため制限値を超えた信号は一定振幅値となり、信号の有意成分(振幅及び位相)が欠落する。これにより、振幅成分に加えて位相成分の補償もできなくなるつまりは、歪み補償が正

常動作しないといった障害が発生する。以上により、振幅がDA変換器リミットLMを越えると、振幅、位相の両方が制御不可能になり、歪補償しない場合より歪特性が劣化する問題が発生する。

【0015】以上から本発明の目的は、DA変換器の入力振幅がDA変換器のリミットを越えないように事前に歪補償係数の大きさをその位相を維持したまま補正し、これにより、振幅制限しても歪が発生しないようにして位相追従を可能にすることである。本発明の別の目的は、歪補償後の送信信号のパワーが許容されている上限パワーを越えないように事前に歪補償係数の大きさをその位相を維持したまま補正し、これにより、振幅制限しても位相追従を可能にすることである。本発明の別の目的は、歪補償係数の補正値を簡単に演算できるようにすることである。本発明の別の目的は、フィードバック信号の振幅を制御することにより、送信信号とフィードバック信号との差を減少し、これにより歪補償係数が大きくなることを防止し、歪補償後の送信信号が制限値を超えないようにすることである。

【0016】本発明の別の目的は、(1) 送信信号に歪補償係数を乗算して歪デバイスに入力する歪補償方式、及び(2) 参照信号(送信信号)に歪補償係数を乗算して得られた信号と送信信号との差を誤差信号として発生し、該誤差信号及び主信号(送信信号)を別個にDA変換して合成して歪デバイスに入力する歪補償方式に適用できるようにすることである。本発明の別の目的は、シングルキャリアの送信装置及びマルチキャリアの送信装置に適用できる歪補償装置を提供することである。

【0017】

【課題を解決するための手段】上記課題は本発明によれば、歪補償処理を施された送信信号がDA変換器のダイナミックレンジを越えないように、事前に歪補償係数を補正して歪補償係数記憶部に記憶する歪補償装置により達成される。すなわち、歪補償係数 $h_{n+1}(p)$ が演算されて歪補償係数記憶部に記憶する前に、該歪補償係数 $h_{n+1}(p)$ を用いて歪補償するものとしたとき、歪補償により得られる信号がDA変換器のリミットを越えるか事前に調べ、越える場合には歪補償係数の大きさをその位相を維持したまま小さくなるように補正して記憶部に記憶する。

【0018】上記課題は本発明によれば、歪補償係数 $h_{n+1}(p)$ が演算されて歪補償係数記憶部に記憶する前に、歪補償信号 $x(t) \cdot h_{n+1}(p)$ のパワー $|x(t) \cdot h_{n+1}(p)|^2$ がDA変換器の設定上限パワー P_{max} を越えるか事前に調べ、越える場合には歪補償係数の大きさをその位相を維持したまま小さくなるように補正して記憶部に記憶することにより達成される。上記課題は本発明によれば、歪補償係数 $h_{n+1}(p)$ が演算されて歪補償係数記憶部に記憶する前に、歪補償係数 $h_{n+1}(p)$ の二乗値が設定最大歪補償係数 $h(p)_{max}$ の二乗値より大きいかに事前に調べ、大き

い場合には歪補償係数の大きさをその位相を維持したまま小さくなるように補正して記憶部に記憶する。以上のようにすれば、歪補償信号(DA変換器入力)がDA変換器リミット(ダイナミックレンジ)を越えることがなくなり、DA変換器において振幅歪、位相歪が発生しない。しかも、歪補償係数 $h_{n+1}(p)$ の位相を保持したままその大きさを小さくするものであるため位相追従が可能になる。

【0019】上記課題は本発明によれば、歪補償後の信号振幅の制限オーバが検知されたとき、増幅器出力からのフィードバック信号の振幅を制御することにより達成される。制限オーバ時にフィードバック信号の振幅を大きくするよう制御することにより、送信信号とフィードバック信号の差が小さくなり、歪補償係数が減少し、歪補償後の信号振幅の制限オーバを防止できる。この結果、信号の有意成分(振幅及び位相)が欠落することがなくなり、歪み補償を安定に行える。上記課題は本発明によれば、送信信号振幅あるいは送信信号電力とゲインの対応をテーブル化しておき、実際の送信信号振幅あるいは送信信号電力に応じたゲインをテーブルより求め、該ゲインに基づいてフィードバック信号の振幅を制御することにより達成される。このようにすれば、歪補償後の信号振幅が制限値をオーバしているか検知することなく、該歪補償後の信号振幅の制限オーバを防止できる。

【0020】尚、本発明は、(1) 送信信号に歪補償係数を乗算して歪補償する第1の歪補償方式、及び(2) 参照信号(送信信号)に歪補償係数を乗算して得られた信号と送信信号との差を誤差信号として発生し、誤差信号及び主信号(送信信号)を別個にDA変換して合成して歪デバイスに入力する第2の歪補償方式、それぞれに適用できる。更に、シングルキャリアの送信装置やマルチキャリアの送信装置に適用できる。

【0021】

【発明の実施の形態】(A) 本発明の原理

(a) 概略構成

図1は本発明の概略構成図であり、21は関数 $f(p)$ の非線形歪を発生するデバイス(送信電力増幅器)、22は送信電力増幅器の歪を補正する歪補償係数 $h(p)$ を送信信号 $x(t)$ のパワー $p(=|x(t)|^2)$ に対応させて記憶する歪補償係数記憶部、23は送信信号 $x(t)$ のパワー p に応じた歪補償係数 $h_n(p)$ を記憶部22から読み出し、該歪補償係数を用いて送信信号に歪補償処理を施すプリディストーション部、24は歪補償処理を施されたデジタルの送信信号 $x(t) \cdot h_n(p)$ をアナログ信号に変換するDA変換器、25は送信電力増幅器の出力信号 $y(t)$ を帰還する帰還系、26はフィードバック信号をデジタルに変換するAD変換器、27は歪補償前の送信信号 $x(t)$ とフィードバック信号に基づいて歪補償係数 $h_{n+1}(p)$ を演算する歪補償係数演算部、28は演算された歪補償係数 $h_{n+1}(p)$ あるいは補正された歪補償係数 $h_{n+1}(p)'$ を送信信号のパワー $|x(t)|^2$ に対応させて記憶

部22に記憶することにより歪補償係数を更新する歪補償係数更新部、

【0022】29は比較部で、歪補償係数演算部27で演算された歪補償係数 $h_{n+1}(p)$ を記憶部22に記憶する前に、該歪補償係数 $h_{n+1}(p)$ を用いた歪補償処理によりプリディストーション部23より出力されるであろう送信信号のパワー $P_a(=|x(t)*h_{n+1}(p)|^2)$ とDA変換器24のダイナミックレンジにより規定される最大電力値 P_{max} を比較するもの、30は歪補償係数補正部、31は歪補償係数記憶部22の読み出しアドレス/書き込みアドレスを発生する送信信号のパワー演算部である。

【0023】(b) 本発明の原理説明

図2は本発明の原理説明図である。図1のデジタル構成の歪補償装置において、歪補償信号の上限はデジタルデータのビット数もしくはDA変換器24のビット数(ダイナミックレンジ)で規定される。以下ではDA変換器24のダイナミックレンジにより上限が制限されるものとする。図2において、破線の小さい四角 LM_s はDA変換器のダイナミックレンジにより規定されるDA変換器リミット、大きい四角 LM_L はデジタルデータのビット数により規定される演算リミットである。歪補償処理を施す前の送信信号を $x(t)$ とし、該送信信号のパワーに応じた歪補償係数を $h_n(p)$ とすると、プリディストーション部23から出力する歪補償信号は $x(t)*h_n(p)$ となる。この歪補償信号 $x(t)*h_n(p)$ がDA変換器リミット LM_s に接する円以内であれば、送信信号 $x(t)$ がどのような位相であろうともDA変換器リミット LM_L を超えることはなく、DA変換器24において振幅、位相がひずむことはない。

【0024】しかし、歪関数 $f(p)$ の作用で送信電力増幅器21の出力振幅が大きくなると、歪補償前の送信信号 $x(t)$ とフィードバック信号の差が大きくなり、歪補償係数演算部27から出力する歪補償係数 $h_{n+1}(p)$ が大きくなる。かかる場合、該歪補償係数 $h_{n+1}(p)$ を補正せずそのまま歪補償係数記憶部22に記憶すると、いつか該歪補償係数が読み出されてプリディストーション部23より歪補償信号 $x(t)*h_{n+1}(p)$ が出力する。このとき、歪補償信号 $x(t)*h_{n+1}(p)$ がDA変換器リミット LM_s を越えると該DA変換器において振幅歪、位相歪が発生する。そこで、歪補償係数 $h_{n+1}(p)$ が演算されて記憶部22に記憶される前に、該歪補償係数 $h_{n+1}(p)$ を用いて歪補償するものとしたとき、歪補償により得られる信号 $x(t)*h_{n+1}(p)$ がDA変換器のリミットを超えるか事前に調べ、越える場合には歪補償係数の大きさをその位相を維持したまま小さくなるように補正する。このようにすれば、DA変換器入力が振幅制限されてDA変換器リミット LM_s を越えることがなくなり、DA変換器において振幅歪、位相歪が発生しない。しかも、歪補償係数 $h_{n+1}(p)$ の位相を保持したままその大きさを小さくするものであるため位相追従が可能になる。

【0025】(c) 振幅制御による振幅制限

以上から、比較部29は歪補償係数 $h_{n+1}(p)$ が求まった時、該歪補償係数を記憶部22に記憶する前に、歪補償係数 $h_{n+1}(p)$ を用いた歪補償処理によりプリディストーション部23より出力されるであろう歪補償信号 $x(t)*h_{n+1}(p)$ とDA変換器リミット LM_s と比較する。又、歪補償係数補正部30は、 $x(t)*h_{n+1}(p)$ がDA変換器リミット LM_s より小さくなるように歪補償係数 $h_{n+1}(p)$ を $1/m$ に補正する。歪補償係数更新部28は歪補償信号 $x(t)*h_{n+1}(p)$ がDA変換器リミット LM_s より大きければ、該補正された歪補償係数 $h_{n+1}(p)/m$ を歪補償係数記憶部22に記憶し、小さければ補正しない歪補償係数 $h_{n+1}(p)$ をそのまま歪補償係数記憶部22に記憶する。尚、 $x(t)*h_{n+1}(p)$ は複素数であるため、一般に次の(d)のようにしてパワーに基づいて振幅制御するのが普通である。

【0026】(d) 電力制御による振幅制限

上記(c)では直接DA変換器の入力信号振幅を制御し、該振幅がDA変換器リミット LM_s に収まるように制御する場合であるが、歪補償信号 $x(t)*h_{n+1}(p)$ のパワー $|x(t)*h_{n+1}(p)|^2$ がDA変換器の上限パワー P_{max} 以下となるように歪補償係数を補正して振幅がDA変換器リミット LM_s に接する等包絡線円ECIRに収まるように制御することもできる。かかる場合、比較部29は歪補償係数 $h_{n+1}(p)$ が求まった時、該歪補償係数を記憶部22に記憶する前に、歪補償係数 $h_{n+1}(p)$ を用いた歪補償処理によりプリディストーション部23より出力されるであろう歪補償信号のパワー $P_a(=|x(t)*h_{n+1}(p)|^2)$ とDA変換器24の上限パワー P_{max} を比較する。又、歪補償係数補正部30は、 $|x(t)*h_{n+1}(p)|^2$ が上限パワー P_{max} より大きいとき、上限パワー以下となるように歪補償係数 $h_{n+1}(p)$ を $1/m$ 補正する。歪補償係数更新部28は、歪補償信号のパワー P_a が上限パワー P_{max} より大きいとき、該補正された歪補償係数 $h_{n+1}(p)'=h_{n+1}(p)/m$ を歪補償係数記憶部22に記憶し、小さいとき歪補償係数 $h_{n+1}(p)$ を補正せずそのまま歪補償係数記憶部22に記憶する。この結果、歪補償係数 $h_{n+1}(p)'$ で歪補償された信号 $x(t)*h_{n+1}(p)/m$ は等包絡線円ECIRの内側に収まり、DA変換器24で振幅歪、位相歪は生じない。すなわち、振幅の歪補償は不完全であるが、位相は追従している為、歪補償装置を適用しない場合以上に歪特性が劣化することはない。

【0027】(e) 電力制御による別の振幅制限

DA変換器の設定されている許容上限パワーを P_{max} 、送信信号 $x(t)$ に対する最大歪補償係数を $h(p)_{max}$ とすれば次式 $P_{max}=|x(t)*h(p)_{max}|^2$ の関係が成り立つ。 P_{max} は一定であるから、送信信号 $x(t)$ と最大歪補償係数 $h(p)_{max}$ は1:1の関係があり、送信信号 $x(t)$ が決まれば最大歪補償係数 $h(p)_{max}$ が一意に定まる。従って、歪補償係数 $h_{n+1}(p)$ の二乗値がこの最大歪補償係数 h

(p)_{MAX} の二乗値より大きければ、該歪補償係数 $h_{n+1}(p)$ を用いて得られる歪補償信号 $x(t) * h_{n+1}(p)$ は等包絡線円ECIRを越える。

【0028】以上より、比較部29は歪補償係数 $h_{n+1}(p)$ が演算された時、該歪補償係数の二乗値 $|h_{n+1}(p)|^2$ と送信信号 $x(t)$ に応じた最大歪補償係数 $h(p)_{MAX}$ の二乗値 $|h(p)_{MAX}|^2$ の大きさを比較する。又、歪補償係数補正部30は $|h_{n+1}(p)|^2$ が $|h(p)_{MAX}|^2$ より小さくなるように歪補償係数 $h_{n+1}(p)$ を $1/m$ に補正する。歪補償係数更新部28は、 $|h_{n+1}(p)|^2 > |h(p)_{MAX}|^2$ のとき、該補正された歪補償係数 $h_{n+1}(p)' = h_{n+1}(p)/m$ を歪補償係数記憶部22に記憶し、 $|h_{n+1}(p)|^2 < |h(p)_{MAX}|^2$ のとき歪補償係数 $h_{n+1}(p)$ を補正せず、そのまま歪補償係数記憶部22に記憶する。この結果、歪補償係数 $h_{n+1}(p)'$ で歪補償された信号 $x(t) * h_{n+1}(p)/m$ は等包絡線円ECIRの内側に収まり、DA変換器で振幅歪、位相歪は生じない。

【0029】(f) 歪補償係数の補正演算が不要な構成予め、 $|x(t)|^2$ 、 $h_{n+1}(p)$ の組み合わせに対応させて歪補償係数の補正值を記憶しておけば、歪補償係数の補正演算、歪補償信号のパワー P_a と上限パワー P_{max} の比較などの処理が不要になる。そこで、(1) 歪補償係数演算部で演算された歪補償係数 $h_{n+1}(p)$ を用いて送信信号 $x(t)$ に歪補償処理を施した時の送信信号のパワー P_a が上限パワー P_{max} より小さくなるように歪補償係数 $h_{n+1}(p)$ を補正し、(2) 該補正された歪補償係数 $h_{n+1}(p)'$ を $|x(t)|^2$ 、 $h_{n+1}(p)$ の組み合わせに対応させてテーブル化する。又、(3) 歪補償された送信信号のパワー P_a が上限パワー P_{max} より小さいときは、歪補償係数 $h_{n+1}(p)$ をそのまま $|x(t)|^2$ 、 $h_{n+1}(p)$ の組み合わせに対応させてテーブル化する。

【0030】かかる状態において、歪補償係数演算部27で歪補償係数 $h_{n+1}(p)$ が演算されると、歪補償係数更新部28は該歪補償係数 $h_{n+1}(p)$ 、送信信号 $x(t)$ のパワー $|x(t)|^2$ の組み合わせに応じた歪補償係数の補正值をテーブルより求めて歪補償係数記憶部22に記憶する。以後、プリディストーション部23は次の送信信号 $x(t)$ に対する歪補償処理に際して、記憶部22より補正済みの歪補償係数を読み出し歪補償処理して出力する。以上では記憶部22へ書き込む前にテーブルを用いて歪補償係数を補正する例であるが、記憶部22より読み出し、該テーブルを用いて補正するように構成することもできる。すなわち、歪補償係数演算部27で歪補償係数 $h_{n+1}(p)$ が演算された時、歪補償係数更新部28は該歪補償係数 $h_{n+1}(p)$ をそのまま歪補償係数記憶部22に記憶する。そして、送信信号 $x(t)$ に対する歪補償処理に際して記憶部22より歪補償係数 $h_n(p)$ が読み出された時、プリディストーション部23は該歪補償係数 $h_n(p)$ 、送信信号 $x(t)$ のパワー $|x(t)|^2$ の組み合わせに応じた歪補償係数の補正值をテーブルより求めて歪補償

処理して出力する。

【0031】(g) フィードバック信号の振幅制御による振幅制限

歪補償後の信号振幅の制限オーバが検知されたとき、増幅器出力からのフィードバック信号の振幅を大きくする。制限オーバ時にフィードバック信号の振幅を大きくすることにより、送信信号とフィードバック信号の差が小さくなり、歪補償係数が減少し、以後歪補償後の信号振幅の制限オーバを防止できる。又、送信信号の振幅あるいは電力とゲインの対応をテーブル化しておき、実際の送信信号の振幅あるいは電力に応じたゲインをテーブルより求め、該ゲインに基づいてフィードバック信号の振幅を制御する。このようにすれば、歪補償後の信号振幅が制限値をオーバしているか検知することなく、歪補償後の信号振幅の制限オーバを防止できる。

【0032】(B) 送信信号に歪補償係数を乗算して歪補償信号を出力する歪補償装置の実施例

(a) 第1実施例

図3は送信信号に歪補償係数を乗算して歪補償信号を出力する歪補償装置に適用した本発明の第1実施例であり、図1と同一部分には同一符号を付しており、32～37はタイミング合わせ用の遅延回路である。歪補償係数演算部27は図34の従来例と同様にLMSアルゴリズムにより歪補償係数 $h_{n+1}(n)$ を演算するもので、共役複素信号出力部27a、歪補償処理前の送信信号 $x(t)$ と帰還復調信号 $y(t)$ の差 $e(t)$ を出力する減算器27b、誤差 $e(t)$ と $u^*(t)$ の乗算を行う乗算器27c、 $h_n(p)$ と $y^*(t)$ の乗算を行う乗算器27d、ステップサイズパラメータ μ を乗算する乗算器27e、 $h_n(p)$ と $\mu e(t)$ $u^*(t)$ を加算する加算器27fを備えている。

【0033】歪補償係数更新部28は、歪補償係数記憶部22に記憶されている歪補償係数を更新するものでセレクト部28aを備えている。セレクト部28aは歪補償信号のパワー $P_a (=|x(t) * h_{n+1}(p)|^2)$ が、DA変換器24のダイナミックレンジに応じて予め設定されている上限パワー P_{max} より大きいとき歪補償係数 $X (=h_{n+1}(p)/m)$ を歪補償係数記憶部22に記憶し、小さいとき補正しない歪補償係数 $Y (=h_{n+1}(p))$ を歪補償係数記憶部22に記憶する。比較部29は、歪補償信号のパワー $P_a (=|x(t) * h_{n+1}(p)|^2)$ と設定されている上限パワー P_{max} の大きさを比較するもので、パワー演算部29aと比較器29bを備えている。パワー演算部29aは、歪補償係数演算部27で得られた歪補償係数 $h_{n+1}(p)$ を用いた歪補償処理によりプリディストーション部23から出力される歪補償信号 $x(t) * h_{n+1}(p)$ のパワー P_a を計算し、比較器29bは該パワー $P_a (=|x(t) * h_{n+1}(p)|^2)$ と上限パワー P_{max} の大きさを比較し、比較結果をセレクト部28aに入力する。尚、*は複素乗算を意味する。

【0034】歪補償係数補正部30は、送信信号のパワー $P_a (=|x(t) * h_{n+1}(p)|^2)$ が上限パワー P_{max} より大き

いとき、上限パワー以下となるように歪補償係数 $h_{n+1}(p)$ を $1/m$ に補正するもので、 m 値制御部 30a と補正值演算部 30b を有している。 m は係数減衰比で、 m^2 は歪補償信号のパワー $|x(t) * h_{n+1}(p)|^2$ と上限パワー P_{max} の比である。従って、次式

$$m^2 = |x(t) * h_{n+1}(p)|^2 / P_{max}$$

の関係があり、 m は

$$m = \{|x(t) * h_{n+1}(p)|^2 / P_{max}\}^{1/2} \quad (1)$$

より求まる。 m 値制御部 30a は (1) 式の演算を行って係数減衰比 m を演算し、補正值演算部 30b は次式

$$X = h_{n+1}(p) / m \quad (2)$$

により歪補償係数の補正值 X を演算して出力する。

【0035】遅延回路 32 は、セレクト 28a より歪補償係数が出力されるタイミングにおいて書き込みアドレス (Write adr) が発生するようにパワー演算部 31 の出力信号を遅延する。遅延回路 33 は歪補償前の送信信号 $x(t)$ と帰還信号 $y(t)$ のタイミングを合わせるもので、送信信号を帰還信号が減算部 27b に到達するまで遅延する。遅延回路 34 は加算器 27f の入力信号のタイミングを合わせるもので、歪補償係数記憶部 22 から出力する歪補償係数 $h_n(p)$ を乗算器 27e から $\mu e(t) u^*(t)$ が出力するまで遅延する。遅延回路 35 はプリディストーション部 23 の入力信号のタイミングを合わせるもので、歪補償係数記憶部 22 から歪補償係数が読み出されてプリディストーション部に入力するまでの時間、送信信号 $x(t)$ を遅延する。遅延回路 36 は、パワー演算部 29a の入力信号のタイミングを合わせるもので、歪補償係数演算部 27 より歪補償係数 h_{n+1} が出力するまでの時間、送信信号 $x(t)$ を遅延する。遅延回路 37 はセレクト入力 X, Y の出力タイミングを合わせるもので、補正值 X が発生するまで歪補償係数 h_{n+1} の出力タイミングを遅延する。

【0036】比較部 29 は歪補償係数 $h_{n+1}(p)$ が求まった時、該歪補償係数 $h_{n+1}(p)$ を用いた歪補償処理によりプリディストーション部 23 より出力されるであろう歪補償信号のパワー $|x(t) * h_{n+1}(p)|^2$ と DA 変換器 24 の上限パワー P_{max} を比較する。又、歪補償係数補正部 30 は、パワー $|x(t) * h_{n+1}(p)|^2$ が上限パワー P_{max} 以下となるように歪補償係数 $h_{n+1}(p)$ を $1/m$ に補正する。歪補償係数更新部 28 は、歪補償信号のパワーが上限パワー P_{max} より大きいとき、歪補償係数の補正值 $X (= h_{n+1}(p)/m)$ を歪補償係数記憶部 22 に記憶し、小さいとき補正しない歪補償係数 $Y (= h_{n+1}(p))$ を歪補償係数記憶部 22 に記憶する。以後、プリディストーション部 23 は次の送信信号 $x(t)$ に対する歪補償処理に際して、記憶部 22 より補正済みの歪補償係数を読み出し、歪補償処理して出力する。この際、歪補償信号は等包絡線円 ECIR (図 2) の内側に収まり、DA 変換器で振幅歪、位相歪は生じない。

【0037】(b) 第 2 実施例

図 4 は送信信号に歪補償係数を乗算して歪補償信号を出力する歪補償装置に適用した本発明の第 2 実施例であり、図 3 と同一部分には同一符号を付している。異なる点は、比較部 29 の構成であり、テーブル 29c、演算部 29d、比較器 29e を有している。テーブル 29c は、送信信号 $x(t)$ のパワー $|x(t)|^2$ に応じた最大歪補償係数 $h(p)_{max}$ の二乗値 $|h(p)_{max}|^2$ を記憶し、演算部 29d は歪補償係数 $h_{n+1}(p)$ の二乗値 $|h_{n+1}(p)|^2$ を演算し、比較器 29e は $|h(p)_{max}|^2$ と $|h_{n+1}(p)|^2$ の大小を比較する。

【0038】DA 変換器の許容上限パワーを P_{max} 、送信信号 $x(t)$ に対する最大歪補償係数を $h(p)_{max}$ とすれば次式

$$P_{max} = |x(t) * h(p)_{max}|^2 \quad (3)$$

の関係が成り立つ。 P_{max} は一定であるから、送信信号 $x(t)$ と最大歪補償係数 $h(p)_{max}$ は 1:1 の関係があり、送信信号 $x(t)$ が決まれば最大歪補償係数 $h(p)_{max}$ が一意に定まる。従って、第 1 実施例における $P_{max} (= |x(t) * h(p)_{max}|^2)$ と歪補償信号のパワー $P_a (= |x(t) * h_{n+1}(p)|^2)$ の大小関係は、 $|h(p)_{max}|^2$ と $|h_{n+1}(p)|^2$ の大小関係と一致する。そこで、比較器 29e は $|h(p)_{max}|^2$ と $|h_{n+1}(p)|^2$ の大小を比較する。又、歪補償係数補正部 30 は、(1)、(2) 式に従って $|h_{n+1}(p)|^2$ が $|h(p)_{max}|^2$ 以下となるように歪補償係数 $h_{n+1}(p)$ を $1/m$ に補正する。歪補償係数更新部 28 は、 $|h_{n+1}(p)|^2 > |h(p)_{max}|^2$ のとき、補正された歪補償係数 $X (= h_{n+1}(p)/m)$ を歪補償係数記憶部 22 に記憶し、 $|h_{n+1}(p)|^2 < |h(p)_{max}|^2$ のとき補正しない歪補償係数 $Y (= h_{n+1}(p))$ を歪補償係数記憶部 22 に記憶する。以後、プリディストーション部 23 は次の送信信号 $x(t)$ に対する歪補償処理に際して、記憶部 22 より補正済みの歪補償係数を読み出し、歪補償処理して出力する。この際、歪補償信号は等包絡線円 ECIR (図 2) の内側に収まり、DA 変換器で振幅歪、位相歪は生じない。

【0039】(c) 第 3 実施例

図 5 は送信信号に歪補償係数を乗算して歪補償信号を出力する歪補償装置に適用した本発明の第 3 実施例で、図 3 と同一部分には同一符号を付している。異なる点は

(1) 予め、 $|x(t)|^2, h_{n+1}(p)$ の組み合わせに対応させて歪補償係数 $h_{n+1}(n)$ の補正值 $h_{n+1}(p)'$ を歪補償値リミッタテーブル 4.1 に記憶する点、(2) 所望の歪補償係数の補正值をテーブル 4.1 より読み出して歪補償係数記憶部 22 に記憶する点、(3) 比較部 29、歪補償係数補正部 30 を削除した点である。歪補償値リミッタテーブル 4.1 の作成は以下に従って行う。すなわち、歪補償係数 $h_{n+1}(p)$ を用いて送信信号 $x(t)$ に歪補償処理を施した時の歪補償信号のパワー $|x(t) * h_{n+1}(p)|^2$ が上限パワー P_{max} より小さくなるように該歪補償係数 $h_{n+1}(p)$ を $1/m$ に補正する。しかる後、補正值 $h_{n+1}(p)' (= h_{n+1}(p)/m)$ を $|x(t)|^2, h_{n+1}(p)$ の組み合わせに対応

させてテーブル化する。この場合、 $|x(t) \cdot h_{n+1}(p)|^2$ が上限パワー P_{\max} より小さければ、歪補償係数 $h_{n+1}(p)$ を補正せずそのまま $|x(t)|^2$ 、 $h_{n+1}(p)$ の組み合わせに対応させてテーブル化する。

【0040】歪補償処理において、歪補償係数演算部27で歪補償係数 $h_{n+1}(p)$ が演算されると、歪補償係数更新部28は該歪補償係数 $h_{n+1}(p)$ 、送信信号 $x(t)$ のパワー $|x(t)|^2$ の組み合わせに応じた歪補償係数の補正值 $h_{n+1}(p)'$ をテーブル41より求めて歪補償係数記憶部22に記憶する。以後、プリディストーション部23は次の送信信号 $x(t)$ に対する歪補償処理に際して、記憶部22より補正済みの歪補償係数を読み出し歪補償処理して出力する。以上のようにすれば、比較演算、補正值演算が不要となり、高速に歪補償係数の補正值を得ることができ、しかも、構成がシンプルになる。

【0041】(d)第4実施例

図6は送信信号に歪補償係数を乗算して歪補償信号を出力する歪補償装置に適用した本発明の第4実施例で、図5と同一部分には同一符号を付している。異なる点は、テーブル41の位置であり、第3実施例では歪補償係数記憶部22の前段にテーブル41を設けているが、第4

$$\{[h_n(p) + \Delta h_{n+1}(p)] - [h_n(p) + \Delta h_{n+1}(p)]/r\}^2 \leq (h_n(p))^2 \quad (4)$$

$$[h_{n+1}(p) - h_{n+1}(p)/r]^2 \leq (h_n(p))^2 \quad (4)'$$

が成立するように歪補償係数 $h_{n+1}(p)$ を $[h_{n+1}(p) - h_{n+1}(p)/r]$ に補正する。上式において、 $\Delta h_{n+1}(p)$ は乗算器27eの出力である。(4)'式が満たされるように r を決定し、補正值 $h_{n+1}(p)'$ を次式

$$[h_n(p) + \{\Delta h_{n+1}(p) - (h_n(p) + \Delta h_{n+1}(p))/r\}]^2 \leq (h_n(p))^2 \quad (4)''$$

となり、

$$\Delta h_{n+1}(p) - (h_n(p) + \Delta h_{n+1}(p))/r \leq 0 \quad (6)$$

$$r \leq \{h_n(p) + \Delta h_{n+1}(p)\} / \Delta h_{n+1}(p) = h_{n+1}(p) / \Delta h_{n+1}(p) \quad (6)'$$

を満足するように r を定め、(5)式により歪補償係数 $h_{n+1}(p)$ を補正すればよい。しかし、(6)'式では割算が含まれる。そこで、

$$2^H \leq \Delta h_{n+1}(p)$$

を満足する最大の整数 H を求め、 $h_{n+1}(p)$ を H 回シフトすることにより r を求める。この場合、(5)式において割算が含まれる。そこで、次式

$$r \leq 2^R \quad (7)$$

を満足する最小の整数値 R を求めれば、(5)式の右辺は分子である歪補償係数 $h_{n+1}(p)$ を R 回シフトすることにより簡単に求めることができる。

【0044】歪補償係数補正部30において、 R 値制御部30cは(7)式を満足する最小の整数値 R を求めて出力し、演算部30dはシフトと減算により補正值

$$h_{n+1}(p)' = [h_{n+1}(p) - h_{n+1}(p)/r]$$

を演算してセレクタ28aに入力する。セレクタ28aは、歪補償信号のパワー P_a が上限パワー P_{\max} より大きいとき、補正值 $X (= [h_{n+1}(p) - h_{n+1}(p)/r])$ を歪補償係数記憶部22に記憶し、小さいとき補正しない歪補償

実施例では歪補償係数記憶部22の後段にテーブル41を設けている。すなわち、第4実施例では記憶部22より歪補償係数を読み出した後にテーブル41を用いて歪補償係数を補正する。歪補償処理において、歪補償係数演算部27で歪補償係数 $h_{n+1}(p)$ が演算されると、歪補償係数更新部28は該歪補償係数 $h_{n+1}(p)$ をそのまま歪補償係数記憶部22に記憶する。そして、次の送信信号 $x(t)$ の歪補償処理に際して記憶部22より歪補償係数 $h_n(p)$ が読み出されると、プリディストーション部23は該歪補償係数 $h_n(p)$ 、 $|x(t)|^2$ の組み合わせに応じた補正済みの歪補償係数 $h_n(p)'$ をテーブル41より求めて歪補償処理して出力する。

【0042】(e)第5実施例

図7は歪補償係数の補正演算を簡単にする実施例であり、図3の第1実施例と同一部分には同一符号を付している。第1実施例では、歪補償係数の補正演算において割算が必要となりハードウェア規模が大きくなる。第5実施例では割算をビットシフトで実現する。尚、第5実施例では、歪補償信号のパワー $|x(t) \cdot h_{n+1}(p)|^2$ が上限パワー P_{\max} より大きいとき、次式

$$h_{n+1}(p)' = [h_{n+1}(p) - h_{n+1}(p)/r] \quad (5)$$

とすれば、 $h_n(p)$ はDA変換器リミット以下であるから、補正值 $h_{n+1}(p)'$ も確実にリミット値以下なる。

【0043】(4)式を変形すると

であれば、必ず(4)式が成立する。従って、(6)式より次式

係数 $Y (= h_{n+1}(p))$ を歪補償係数記憶部22に記憶する。

【0045】(f)第6実施例

図8は歪補償係数の補正演算を簡単にする実施例であり、図4の第2実施例と同一部分には同一符号を付している。第2実施例では、歪補償係数の補正演算において割算が必要となりハードウェア規模が大きくなる。第6実施例では割算をビットシフトで実現するもので、歪補償係数補正部30の構成は第2実施例と異なるが、図7の構成とまったく同じである。

【0046】(g)第7実施例

第1～第6実施例はシングルキャリアの送信装置に適用した例であるが、マルチキャリアの送信装置にも適用できる。図9は複数の送信信号をマルチキャリア信号を用いて送信する場合の送信装置の構成図であり、4つの周波数を多重して送信する場合の例を示している。ディジタルの各送信信号 $x_1(t)$ 、 $x_2(t)$ 、 $x_3(t)$ 、 $x_4(t)$ は周波数シフト部51～54で $\exp(j\omega_1 t)$ 、 $\exp(j\omega_2 t)$ 、 $\exp(j\omega_3 t)$ 、 $\exp(j\omega_4 t)$ ($\omega_n = 2\pi f_n$)を乗算されて周波数

f_1, f_2, f_3, f_4 に周波数シフトを施された後、合成部55で周波数多重される。このデジタル周波数多重信号はシングルキャリアの送信信号に対応し、以後、シングルキャリアの場合と同様の歪補償処理が行われる。

【0047】図10は第1、第2、第5、第6実施例の歪補償装置を図9のマルチキャリア送信装置に適用した場合の第7実施例であり、同一部分には同一符号を付している。図11は図5の第3実施例の歪補償装置を図9のマルチキャリア送信装置に適用した場合の第8実施例であり、図5、図9と同一部分には同一符号を付している。図12は図6の第4実施例の歪補償装置を図9のマルチキャリア送信装置に適用した場合の第9実施例であり、図6、図9と同一部分には同一符号を付している。

【0048】(C) 主信号に誤差信号を合成して歪デバイスに入力する歪補償装置

以上では、送信信号に歪補償係数を乗算して歪補償信号を発生して送信電力増幅器に入力する歪補償装置に適用した例であるが、主信号(送信信号)と該送信信号に付加する歪成分(誤差信号)のそれぞれを独立にDA変換した後、合成して送信電力増幅器に入力する歪補償装置にも適用できる。尚、後者の歪補償装置によれば、誤差信号の振幅が小さいため、誤差信号のみを出力するDA変換器のビット精度を低くでき、又、送信信号のみを出力するDA変換器にも大きなダイナミックレンジが不要であり、該DA変換器のビット精度を低くできる利点がある。

【0049】(a) 第1実施例

図13はアナログの送信信号と誤差信号を合成する歪補償装置の第1実施例の構成図であり、これまでの実施例と同一部分には同一符号を付している。図中、21は関数 $f(p)$ の非線形歪を発生するデバイス(送信電力増幅器)、22は送信電力増幅器の歪を補正する歪補償係数 $h(p)$ を送信信号 $x(t)$ のパワー $p(=|x(t)|^2)$ に対応させて記憶する歪補償係数記憶部、25は送信電力増幅器の出力信号 $y(t)$ を帰還する帰還系、26はフィードバック信号をデジタルに変換するAD変換器、27は歪補償前の送信信号 $x(t)$ とフィードバック信号に基づいて歪補償係数 $h_{n+1}(p)$ を演算する歪補償係数演算部、28はセレクタ28aを備え、演算された歪補償係数 $h_{n+1}(p)$ あるいは補正された歪補償係数 $h_{n+1}(p)'$ を送信信号パワー $|x(t)|^2$ に対応させて記憶部22に記憶する歪補償係数更新部、29は歪補償係数演算部で演算された歪補償係数 $h_{n+1}(p)$ の二乗値 $|h_{n+1}(p)|^2$ と最大歪補償係数の二乗値 $|h(n)_{\max}|^2$ の大小を比較する比較部、30は歪補償係数 $h_{n+1}(p)$ を $1/m$ して補正值 $h_{n+1}(p)'(=h_{n+1}(p)/m)$ を出力する歪補償係数補正部、31は歪補償係数記憶部22の読み出しアドレス/書き込みアドレスを発生する送信信号のパワー演算部、32~39はタイミング合わせ用の遅延回路である。

【0050】又、61は誤差信号発生部であり、送信信

号のパワー $|x(t)|^2$ に応じた歪補償係数 $h_n(p)$ を記憶部22から読み出し、該歪補償係数 $h_n(p)$ を送信信号 $x(t)$ に複素乗算する乗算器61a、乗算器の出力信号 $x(t)*h_n(p)$ と送信信号 $x(t)$ との差である誤差信号 $E(t)$ を出力する減算器61bを有している。62はデジタルの誤差信号 $E(t)$ をアナログに変換するDA変換器、63は送信信号(主信号) $x(t)$ をアナログに変換するDA変換器、64はアナログの送信信号 $x(t)$ アナログの誤差信号 $E(t)$ を合成して出力する合成部である。

【0051】DA変換器62は歪信号(誤差信号) $E(t)$ のみをDA変換する構成になっており、歪補償係数の上限値は送信信号 $x(t)$ によらずにある値 $h(p)_{\max}$ に固定である。従って、送信信号のパワーに応じた歪補償係数 $h_n(p)$ がDA変換器リミットLHs(図14参照)に接する半径 $h(p)_{\max}$ の円内にあれば、歪補償係数 $h_n(p)$ がどのような位相であろうともDA変換器リミットLHsを超えることはなく、DA変換器24において振幅、位相がひずむことはない。しかし、歪み関数 $f(p)$ の作用で送信電力増幅器21の出力振幅が大きくなると、歪補償前の送信信号 $x(t)$ とフィードバック信号の差が大きくなり、歪補償係数演算部27から出力する歪補償係数 $h_{n+1}(p)$ が大きくなり、最大歪補償係数 $h(p)_{\max}$ より大きくなる。かかる場合、該歪補償係数 $h_{n+1}(p)$ を補正せずそのまま歪補償係数記憶部22に記憶すると、いつか該歪補償係数が読み出されることになり、その際、歪補償係数 $h_n(p)$ がDA変換器リミットLHsを越え、DA変換器62において振幅歪、位相歪が発生する。

【0052】そこで、歪補償係数 $h_{n+1}(p)$ が演算されて記憶部に記憶する前に、該歪補償係数の二乗 $|h_{n+1}(p)|^2$ と上限歪補償係数の二乗 $|h(p)_{\max}|^2$ の大小を比較し、 $|h_{n+1}(p)|^2 > |h(p)_{\max}|^2$ であれば歪補償係数の大きさをその位相を維持したまま $1/m$ に補正する。このようにすれば、DA変換器入力が振幅制限されることになり、DA変換器リミットLHsを越えることがなくなり、DA変換器において振幅歪、位相歪が発生しない。しかも、歪補償係数 $h_{n+1}(p)$ の位相を保持したままその大きさを小さくするものであるため位相追従が可能になる。尚、二乗している理由は歪補償係数 $h_{n+1}(p)$ が複素数であるためである。

【0053】以上より、比較部29は歪補償係数演算部27で演算された歪補償係数 $h_{n+1}(p)$ の二乗値 $|h_{n+1}(p)|^2$ と最大歪補償係数の二乗値 $|h(n)_{\max}|^2$ の大小を比較し、歪補償係数更新部28は、 $|h_{n+1}(p)|^2 < |h(p)_{\max}|^2$ より小さければ演算された歪補償係数 $h_{n+1}(p)$ を補正することなくそのまま記憶部22に記憶し、 $|h_{n+1}(p)|^2$ が $|h(p)_{\max}|^2$ より大きければ歪補償係数の補正值 $h_{n+1}(p)'$ を記憶部22に記憶する。以後、次の送信信号 $x(t)$ に対する歪補償処理に際して、記憶部22より補償済みの歪補償係数 $h_n(p)$ を読み出して誤差信号 $E(t)$ を出力し、合成部64はDA変換器62、63で

それぞれ独立にDA変換されたアナログの送信信号（送信信号）と誤差信号を合成して送信電力増幅器に入力する。この際、歪補償係数 $h_n(p)$ は最大歪補償係数 $h(p)_{\max}$ より小さいためDA変換器62で振幅歪、位相歪は生じない。

【0054】(b) 第2実施例

図15は独立にDA変換されたアナログの送信信号と誤差信号を合成して送信電力増幅器に入力する歪補償装置の第2実施例の構成図であり、図13の第1実施例と同一部分には同一符号を付している。異なる点は比較部29及び歪補償係数補正部30の構成を明示した点である。比較部29は最大歪補償係数の二乗値 $|h(n)_{\max}|^2$ を保持する記憶部29g、歪補償係数の二乗値 $|h_{n+1}(p)|^2$ を演算する演算部29h、 $|h_{n+1}(p)|^2$ と $|h(p)_{\max}|^2$ の大小を比較する比較部29iを備えている。歪補償係数補正部30は歪補償係数の二乗値 $|h_{n+1}(p)|^2$ が最大歪補償係数の二乗値 $|h(n)_{\max}|^2$ より小さくなるように歪補償係数 $h_{n+1}(p)$ を $1/m$ に補正するもので、m値制御部30eと補正值演算部30fを有している。mは係数減衰比で、次式

$$m^2 = |h_{n+1}(p)|^2 / |h(p)_{\max}|^2$$

の関係があり、mは

$$m = |h_{n+1}(p)| / |h(p)_{\max}| \quad (8)$$

より求まる。m値制御部30aは(8)式の演算を行って係数減衰比mを演算し、補正值演算部30bは次式

$$X = h_{n+1}(p)/m$$

により歪補償係数の補正值Xを演算して出力する。

【0055】比較部29は歪補償係数 $h_{n+1}(p)$ が求めた時、 $|h_{n+1}(p)|^2$ と $|h(p)_{\max}|^2$ の大小を比較する。又、歪補償係数補正部30は、歪補償係数の二乗値 $|h_{n+1}(p)|^2$ が最大歪補償係数の二乗値 $|h(n)_{\max}|^2$ より小さくなるように歪補償係数 $h_{n+1}(p)$ を $1/m$ に補正する。歪補償係数更新部28は、 $|h_{n+1}(p)|^2$ が $|h(p)_{\max}|^2$ より小さければ演算された歪補償係数 $h_{n+1}(p)$ を補正することなくそのまま記憶部22に記憶し、 $|h_{n+1}(p)|^2$ が $|h(p)_{\max}|^2$ より大きければ歪補償係数の補正值 $h_{n+1}(p)'$ を記憶部22に記憶する。以後、次の送信信号 $x(t)$ に対する歪補償処理に際して、記憶部22より補正済みの歪補償係数 $h_n(p)$ を読み出して誤差信号 $E(t)$ を出力し、合成部64はDA変換器62、63でそれぞれ独立してDA変換された送信信号と誤差信号を合成して送信電力増幅器に入力する。この際、歪補償係数 $h_n(p)$ は最大歪補償係数 $h(p)_{\max}$ より小さいためDA変換器62で振幅歪、位相歪は生じない。

【0056】(c) 第3実施例

図16は独立にDA変換されたアナログの送信信号と誤差信号を合成して送信電力増幅器に入力する歪補償装置の第3実施例の構成図であり、図13の第1実施例と同一部分には同一符号を付している。異なる点は(1) 予め $h_{n+1}(p)$ に対応させて歪補償係数の補正值 $h_{n+1}(p)'$ を

歪補償値リミッタテーブル41に記憶する点、(2) 所望の歪補償係数の補正值 $h_{n+1}(p)'$ をテーブル41より読み出して歪補償係数記憶部22に記憶する点、(3) 比較部29、歪補償係数補正部30を削除した点、(4) 遅延回路を省略した点である。歪補償値リミッタテーブル41の作成は以下に従って行う。すなわち、歪補償係数の二乗値 $|h_{n+1}(p)|^2$ が最大歪補償係数の二乗値 $|h(n)_{\max}|^2$ より小さくなるように該歪補償係数 $h_{n+1}(p)$ を $1/m$ に補正し、該補正值 $h_{n+1}(p)'$ ($= h_{n+1}(p)/m$)を $h_{n+1}(p)$ に対応させてテーブル化する。この場合、 $|h_{n+1}(p)|^2$ が $|h(n)_{\max}|^2$ より小さければ、歪補償係数 $h_{n+1}(p)$ を補正せずそのまま $h_{n+1}(p)$ に対応させてテーブル化する。

【0057】歪補償処理において、歪補償係数演算部27で歪補償係数 $h_{n+1}(p)$ が演算されると、歪補償係数更新部28は該歪補償係数 $h_{n+1}(p)$ に応じた歪補償係数の補正值 $h_{n+1}(p)'$ をテーブル41より求めて歪補償係数記憶部22に記憶する。以後、次の送信信号 $x(t)$ に対する歪補償処理に際して、記憶部22より補正済みの歪補償係数 $h_n(p)$ を読み出して誤差信号 $E(t)$ を出力し、合成部64はDA変換器62、63でそれぞれ独立にDA変換された送信信号と誤差信号を合成して送信電力増幅器21に入力する。この際、歪補償係数 $h_n(p)$ は最大歪補償係数 $h(p)_{\max}$ より小さいためDA変換器62で振幅歪、位相歪は生じない。

【0058】(d) 第4実施例

図17は独立にDA変換されたアナログの送信信号と誤差信号を合成して送信電力増幅器に入力する歪補償装置の第4実施例の構成図であり、図16と同一部分には同一符号を付している。異なる点は、テーブル41の位置であり、第3実施例では歪補償係数記憶部22の前段にテーブル41を設けているが、第4実施例では歪補償係数記憶部22の後段にテーブル41を設けている。すなわち、第4実施例では記憶部22より歪補償係数を読み出した後にテーブル41を用いて歪補償係数を補正する。歪補償処理において、歪補償係数演算部27で歪補償係数 $h_{n+1}(p)$ が演算されると、歪補償係数更新部28は該歪補償係数 $h_{n+1}(p)$ をそのまま歪補償係数記憶部22に記憶する。そして、次の、送信信号 $x(t)$ の歪補償処理に際して記憶部22より歪補償係数 $h_n(p)$ が読み出されると、誤差信号発生部61は該歪補償係数 $h_n(p)$ に応じた補正歪補償係数 $h_n(p)'$ をテーブル41より求めて誤差信号 $E(t)$ を出力し、合成部64はDA変換器62、63でそれぞれ独立にDA変換された送信信号と誤差信号を合成して送信電力増幅器21に入力する。

【0059】(e) マルチキャリアの送信装置に適用した実施例

第1～第4実施例はシングルキャリアの送信装置に適用した例であるが、マルチキャリアの送信装置にも適用できる。図18は複数の送信信号をマルチキャリア信号を

用いて送信する場合の送信装置の構成図であり、4つの周波数を多重して送信する場合の例を示している。各キャリアの送信信号 $x_1(t)$ 、 $x_2(t)$ 、 $x_3(t)$ 、 $x_4(t)$ は、各々独立のDA変換器711~714によりアナログ信号に変換され、フィルタ721~724を通過後、周波数変換部731~734で所望のキャリア周波数 f_1 、 f_2 、 f_3 、 f_4 に周波数変換され(図19の(a)参照)、合成部74で周波数多重される。得られた周波数多重信号(主信号) S_M は合成部64において誤差信号発生部61から出力する誤差信号 $E(t)$ と合成されて送信電力増幅器21に入力される。送信電力増幅器21の出力の一部は周波数変換器75で周波数 f_1-f_0 、 f_2-f_0 、 f_3-f_0 、 f_4-f_0 の多重信号に周波数変換され、フィルタ76通過後にAD変換器26でAD変換されフィードバック信号 S_F として歪補償係数演算部27に入力する。

【0060】一方、送信信号 $x_1(t)$ 、 $x_2(t)$ 、 $x_3(t)$ 、 $x_4(t)$ は周波数シフト部771~774で $\exp j(\omega_1-\omega_0)t$ 、 $\exp j(\omega_2-\omega_0)t$ 、 $\exp j(\omega_3-\omega_0)t$ 、 $\exp j(\omega_4-\omega_0)t$ (ただし $\omega_n=2\pi f_n$) を乗算されて周波数 f_1-f_0 、 f_2-f_0 、 f_3-f_0 、 f_4-f_0 に周波数シフトを施された後(図19の(b)参照)、合成部78で周波数多重され、歪補償装置に参照信号 S_R として入力する。歪補償装置は、参照信号 S_R とフィードバック信号 S_F を用いて電力増幅器21の非線形歪みに起因する誤差信号 E を計算して出力する。DA変換器62は得られた誤差信号 E をDA変換し、フィルタ79を介して周波数変換部80に入力する。周波数変換部80は誤差信号 E に周波数 f_0 の信号を乗算して、周波数 f_1 、 f_2 、 f_3 、 f_4 の誤差信号にアップコンバートする。合成部64は周波数 f_1 、 f_2 、 f_3 、 f_4 の主信号(送信信号) S_M と周波数 f_1 、 f_2 、 f_3 、 f_4 の誤差信号 E を合成し、合成信号を送信電力増幅器21に入力する。これにより周波数多重信号(主信号)にアンプの非線形歪みの逆特性を付加した信号が得られる。

【0061】図20は図13の第1実施例の歪補償装置を図18のマルチキャリア送信装置に適用した場合の第5実施例であり、図13及び図18と同一部分には同一符号を付している。但し、701~703はタイミング合わせ用の遅延回路である。図21は図15の第2実施例の歪補償装置を図18のマルチキャリア送信装置に適用した場合の第5実施例であり、図15及び図18と同一部分には同一符号を付している。図22は図16の第3実施例の歪補償装置を図18のマルチキャリア送信装置に適用した場合の第7実施例であり、図16及び図18と同一部分には同一符号を付している。図23は図17の第4実施例の歪補償装置を図18のマルチキャリア送信装置に適用した場合の第8実施例であり、図17及び図18と同一部分には同一符号を付している。

【0062】(f) 別のマルチキャリアの送信装置に適用した実施例

図24は複数の送信信号をマルチキャリア信号を用いて送信する別の送信装置の構成図であり、4つの周波数を多重して送信する場合の例を示している。各キャリアの送信信号 $x_1(t)$ 、 $x_2(t)$ 、 $x_3(t)$ 、 $x_4(t)$ は、周波数シフト部911~914で $\exp j\omega_1 t$ 、 $\exp j\omega_2 t$ 、 $\exp j\omega_3 t$ 、 $\exp j\omega_4 t$ (ただし $\omega_n=2\pi f_n$) を乗算されて周波数 f_1 、 f_2 、 f_3 、 f_4 に周波数シフトを施された後(図25

(a)参照)、各々独立のDA変換器921~924によりアナログ信号に変換され、合成部93で周波数多重される。周波数多重信号はローパスフィルタ99を通過後、周波数シフト部100で高周波数帯 f_0-f_1 、 f_0-f_2 、 f_0-f_3 、 f_0-f_4 にシフトされ(図25(b)参照)、主信号 S_M となって合成部64に入力する。以後、周波数多重信号(主信号) S_M は合成部64において誤差信号発生部61から出力する誤差信号 E と合成されて送信電力増幅器21に入力される。送信電力増幅器21の出力の一部は周波数変換器94で周波数 f_1 、 f_2 、 f_3 、 f_4 の低周波数帯の多重信号に周波数変換され、フィルタ95通過後にAD変換器26でAD変換されフィードバック信号 S_F として歪補償係数演算部27に入力する。

【0063】又、周波数シフト部911~914の出力は合成部96で周波数合成された後、歪補償装置に参照信号 S_R として入力する。歪補償装置は、参照信号 S_R とフィードバック信号 S_F を用いて電力増幅器21の非線形歪みに起因する誤差信号 E を計算して出力する。DA変換器62は得られた誤差信号 E をDA変換し、フィルタ97を介して周波数変換器98に入力する。周波数変換器98は周波数 f_1 、 f_2 、 f_3 、 f_4 の誤差信号 E に周波数 f_0 の高周波数信号を乗算して高周波数帯 f_0-f_1 、 f_0-f_2 、 f_0-f_3 、 f_0-f_4 にシフトする。合成部64は主信号(送信信号) S_M と誤差信号 E を合成し、合成信号を送信電力増幅器21に入力する。これにより周波数多重信号(主信号)にアンプの非線形歪みの逆特性を付加した信号が得られる。

【0064】図26は図13の第1実施例の歪補償装置を図24のマルチキャリア送信装置に適用した場合の第9実施例であり、図13及び図24と同一部分には同一符号を付している。但し、901~903はタイミング合わせ用の遅延回路である。図27は図15の第2実施例の歪補償装置を図24のマルチキャリア送信装置に適用した場合の第10実施例であり、図16及び図24と同一部分には同一符号を付している。図28は図16の第3実施例の歪補償装置を図24のマルチキャリア送信装置に適用した場合の第11実施例であり、図17及び図24と同一部分には同一符号を付している。図29は図17の第4実施例の歪補償装置を図24のマルチキャリア送信装置に適用した場合の第12実施例であり、図15及び図24と同一部分には同一符号を付している。

【0065】(D) フィードバック信号の振幅制御機能

を備えた歪補償装置

以上の実施例では歪補償係数を補正することにより歪補償処理後の送信信号が制限レベルを越えないように制御するものである。しかし、以下の実施例では送信電力増幅器からのフィードバック信号の振幅を制御して歪補償処理後の送信信号が制限レベルを越えないようにする。

【0066】(a) 第1実施例

図30は送信信号 $x(t)$ の振幅あるいは電力に基づいてフィードバック信号 $y(t)$ の振幅を制御する第1実施例の歪補償装置の構成図である。21は関数 $f(p)$ の非線形歪を発生するデバイス(送信電力増幅器)、22は送信電力増幅器の歪を補正する歪補償係数 $h(p)$ を送信信号 $x(t)$ のパワー $p(=|x(t)|^2)$ に対応させて記憶する歪補償係数記憶部、23は送信信号 $x(t)$ のパワー p に応じた歪補償係数 $h_n(p)$ を記憶部22から読み出し、該歪補償係数 $h_n(p)$ を用いて送信信号 $x(t)$ に歪補償処理($=x(t)*h_n(p)$)を施すプリディストーション部、24は歪補償処理を施されたデジタルの送信信号 $x(t)*h_n(p)$ をアナログ信号に変換するDA変換器、25は送信電力増幅器の出力信号 $y(t)$ を帰還する帰還系、26は出力信号すなわちフィードバック信号 $y(t)$ をデジタルに変換するAD変換器、27は歪補償前の送信信号 $x(t)$ とフィードバック信号 $y(t)$ に基づいて歪補償係数 $h_{n+1}(p)$ を演算する歪補償係数演算部、31は歪補償係数記憶部22の読み出しアドレス/書き込みアドレスを発生する送信信号のパワー演算部、81は歪補償前の送信信号 $x(t)$ の振幅あるいは電力 $|x(t)|^2$ に基づいてフィードバック信号 $y(t)$ の振幅を制御する振幅制御部である。

【0067】歪補償係数演算部27は図3に示す歪補償係数演算部と同一の構成を有しているが、歪補償前の送信信号 $x(t)$ とフィードバック信号の差分 $e(t)$ を演算する減算器27bのみ示し、その他は歪補償係数演算主要部27'として示している。振幅制御部81は、送信信号 $x(t)$ の振幅あるいは電力とゲインの対応関係を保存し、送信信号 $x(t)$ に応じたゲイン G を出力するゲイン設定部81a、フィードバック信号 $y(t)$ にゲイン G を乗算する乗算器81bを有している。送信電力増幅器21の線形領域では、出力信号の振幅、位相がひずむことはない。しかし、送信電力増幅器21の非線形領域では、歪補償前の送信信号 $x(t)$ とフィードバック信号 $y(t)$ の差 $e(t)$ が大きくなり、歪補償係数演算部27から出力する歪補償係数 $h_{n+1}(p)$ が大きくなる。この歪補償係数 $h_{n+1}(p)$ はいつか読み出されてプリディストーション部23より歪補償信号 $x(t)*h_{n+1}(p)$ が出力する。このとき、歪補償信号 $x(t)*h_{n+1}(p)$ がDA変換器リミットを越えると該DA変換器において振幅歪、位相歪が発生する。以上の傾向は送信信号が大きい程、大になる。従って何らの対策もしなければ電力増幅器の非線形領域において振幅歪、位相歪が発生する。

【0068】そこで、振幅制御部81は非線形領域において、歪補償前の送信信号 $x(t)$ に基づいてフィードバック信号 $y(t)$ の振幅を大きくしてこれらの差 $e(t)$ が大きくなるように制御する。このようにすれば、歪補償係数 $h_{n+1}(p)$ が大きくなるのを防止でき、歪補償信号 $x(t)*h_{n+1}(p)$ がDA変換器リミットを越えないようにでき、振幅歪や位相歪の発生を防止できる。ところで、送信信号 $x(t)$ とフィードバック信号 $y(t)$ の差 $e(t)$ は、送信電力増幅器の非線形の度合いが大きくなるに従って、すなわち、歪補償前の送信信号 $x(t)$ のレベルが大きくなるに従って、大きくなる。そこで、ゲイン設定部81aに、例えば図31(a)~(c)のいずれかに示すゲイン・振幅特性(あるいはゲイン・電力特性)を設定する。図31(a)は、送信電力増幅器21の線形領域においてゲイン G を1に固定し、非線形領域において送信信号振幅(あるいは電力)の一次関数に従ってゲインを増加する特性であり、図31(b)は非線形領域において送信信号振幅(あるいは電力)の二次関数に従ってゲインを増加する特性であり、図31(c)は非線形領域において送信信号振幅(あるいは電力)に従ってステップ状にゲインを増加する特性である。

【0069】以上より、歪補償前の送信信号 $x(t)$ が線形/非線形境界信号レベル X_b 以下ではゲイン $G=1$ であるため、振幅制御部81はフィードバック信号 $y(t)$ のレベルを変化しない。しかし、歪補償前の送信信号 $x(t)$ が線形/非線形境界信号レベル X_b 以上になると、ゲイン G がゲイン設定部81aの設定関数に従って1より大きくなる。このため、振幅制御部81は、 $y(t)'=G \cdot y(t)$ ($G>1$)の信号を出力し、減算器27bから出力する差分 $e(t)$ が減少する。この結果、歪補償係数 $h_{n+1}(p)$ が大きくなるのを防止でき、歪補償信号 $x(t)*h_{n+1}(p)$ がDA変換器リミットを越えないようにでき、振幅歪や位相歪の発生を抑えることができる。以上では、非線形領域においてゲインを図31(a)~(c)に示す特性に従って制御する場合について説明したが、これらの特性に限らず任意の関数に従ってゲインを制御することができる。又、以上では、ゲイン G を瞬時に変化させる場合について説明したが、時間に対して指数関数的に設定値まで漸近変化させても良いし、あるいは、一次関数的に設定値まで変化させるようにしても良い。つまりは、電力増幅器の特性及び帰還系の特性を考慮し、ゲイン G の関数を選定し、又、ゲイン G の時間制御についても同様に決定する。

【0070】図32、図33は本発明の第1実施例の第1、第2の変形例であり、AD変換する前にフィードバック信号 $y(t)$ の振幅をアナログ的に制御する例である。図32では、振幅制御部81をAD変換器26の前段に設け、可変利得増幅器(VGA: Variable Gain Amplifier)81cのゲイン G を送信信号 $x(t)$ のレベルに従って制御し、該可変利得増幅器でフィードバック信号 $y(t)$ を増

幅して出力する。図33では、振幅制御部81をAD変換器26の前段に設け、可変減衰器(VATT:Variable ATTenater)81dの減衰量を送信信号 $x(t)$ のレベルに従って制御し、該可変減衰器でフィードバック信号 $y(t)$ を所定量減衰した後、一定ゲインのアンプ81eで増幅して出力する。図32、図33の変形例は以降の実施例にも適用できるものである。

【0071】(b) 第2実施例

図34はフィードバック信号 $y(t)$ の振幅を制御する第2実施例の歪補償装置の構成図であり、図30の第1実施例と同一部分には同一符号を付している。異なる点は、(1) 歪補償後の送信信号がDA変換器リミット LM_L (図2参照)を越えたか否かを検出するDACリミットオーバー検出部82を設けた点、(2) 歪補償後の送信信号がDA変換器リミット LM_L を越えたときに、振幅制御部81がフィードバック信号 $y(t)$ の振幅を制御する点、(3) ゲイン設定部81aに送信信号 $x(t)$ のレベルに依存しない固定ゲイン G (>1) が設定されている点である。歪補償後の送信信号(歪補償信号) $x'(t)$ がDA変換器リミット LM_L を越えれば出力信号 $y(t)$ の振幅及び位相は必ずと共、振幅が小さくなる。そこで、DACリミットオーバー検出部82は歪補償後の送信信号がDA変換器リミット LM_L を越えたかチェックし、越えれば、振幅制御部81は一定のゲイン G (>1) をフィードバック信号 $y(t)$ に乘算する。この結果、減算器27bから出力する差分 $e(t)$ が減少して歪補償係数 $h_{n+1}(n)$ が大きくなるのを防止でき、歪補償信号がDA変換器リミット LM_L を越えないようにでき、以後、振幅歪や位相歪の発生を抑えることができる。

【0072】(c) 第3実施例

図35は送信信号 $x(t)$ の振幅あるいは電力に基づいてフィードバック信号 $y(t)$ の振幅を制御する第3実施例の歪補償装置の構成図であり、第2実施例と同一部分には同一符号を付している。異なる点は、(1) ゲイン G を固定しない点、(2) ゲイン設定部81aに図31(a)～(c)のいずれかの特性が設定されたゲインテーブルを設けている点、(3) 振幅制御部81は歪補償信号 $x'(t)$ がDA変換器リミット LM_L を越えたとき、ゲイン G を送信信号 $x(t)$ のレベルに基づいて制御する点、である。DACリミットオーバー検出部82はプリディストーション部23から出力する歪補償信号 $x'(t)$ がDACリミット LM_L を越えたかチェックしている。歪補償信号 $x'(t)$ がDA変換器リミット範囲内の値であれば、振幅制御部81のゲイン設定部81aは $G=1$ を出力し、フィードバック信号の振幅を変化しない。

【0073】しかし、歪補償信号 $x'(t)$ がDA変換器リミットを越えれば、DACリミットオーバー検出部82は振幅制御部81にゲイン切替を指示する。これにより、ゲイン設定部81aはゲインテーブル(図示せず)より送信信号 $x(t)$ のレベルに応じたゲイン G (>1) を読出

して乗算器81bに入力する。乗算器81bはフィードバック信号 $y(t)$ にゲイン G (>1) を乗算し、信号 $y(t)' (=G \cdot y(t))$ を出力する。この結果、減算器27bから出力する差分 $e(t)$ が減少し、歪補償係数 $h_{n+1}(n)$ は大きくならず、歪補償信号はDA変換器リミットを越えなくなり、振幅歪や位相歪が発生しなくなる。第3実施例によれば、送信信号 $x(t)$ のレベルに基づいてゲインを制御するため、ゲイン固定の第2実施例に比べて木目細かな振幅歪、位相歪の発生防止制御が可能になる。

【0074】(d) 第4実施例

図36は送信信号 $x(t)$ の振幅あるいは電力に基づいてフィードバック信号 $y(t)$ の振幅を制御する第4実施例の歪補償装置の構成図であり、第3実施例と同一部分には同一符号を付している。異なる点は、(1) 歪補償前の送信信号 $x(t)$ の電力 $|x(t)|^2$ を k 倍(k は一定値)する乗算器83が設けられている点、(2) 歪補償信号 $x'(t)$ の電力 $|x'(t)|^2$ を演算する演算部84が設けられている点、(3) k 倍の送信信号電力 $k \cdot |x(t)|^2$ と歪補償信号の電力 $|x'(t)|^2$ の差を演算する演算部85が設けられている点、(4) 歪補償信号の電力 $|x'(t)|^2$ が k 倍の送信信号電力 $k \cdot |x(t)|^2$ より大きいとき、フィードバック信号 $y(t)$ の振幅制御の開始を指示する差信号処理部86を設けている点、(5) 振幅制御部81は振幅制御開始指示によりフィードバック信号 $y(t)$ の振幅制御を行う点、である。尚、 k は歪補償係数記憶部22に記憶されている歪補償係数の平均値あるいは電力増幅器21の種類に応じた一定値である。

【0075】図37は第4実施例の歪補償装置の全体の処理フローである。DACリミットオーバー検出部82はプリディストーション部23から出力する歪補償信号 $x'(t)$ がDACリミット LM_L を越えたかチェックしている(ステップ101)。歪補償信号 $x'(t)$ がDA変換器リミット範囲内の値であれば、振幅制御部81のゲイン設定部81aは $G=1$ を出力し、フィードバック信号の振幅を変化しない。しかし、歪補償信号 $x'(t)$ がDA変換器リミットを越えれば、DACリミットオーバー検出部82は演算部84に歪補償信号の電力 $|x'(t)|^2$ の演算を指示する。これにより、演算部84は歪補償信号の電力 $|x'(t)|^2$ を演算する(ステップ102)。又、パワー演算部31は送信信号の電力 $|x(t)|^2$ を演算し、乗算部83は $k \cdot |x(t)|^2$ を演算する(ステップ103、104)。ついで、演算部85は次式

$$d = |x'(t)|^2 - k \cdot |x(t)|^2 \quad (1)$$

の演算を行い、演算結果 d を差信号処理部86に入力する。差信号処理部86は

$$d = |x'(t)|^2 - k \cdot |x(t)|^2 > 0 \quad (2)$$

であるかチェックし(ステップ105)、「YES」であればゲイン更新を振幅制御部81に指示する。これにより、振幅制御部81のゲイン設定部81aはゲインテ

ープルより送信信号 $x(t)$ のレベルに応じたゲイン G (> 1) を読出して乗算器 81b に入力する (ステップ 106)。

【0076】以後、乗算器 81b はフィードバック信号 $y(t)$ にゲイン G (> 1) を乗算し、信号 $y(t)' (= G \cdot y(t))$ を出力する。この結果、減算器 27b から出力する差分 $e(t)$ が減少し、歪補償係数 $h_{n+1}(n)$ は大きくなり、歪補償信号は DA 変換器リミットを越えなくなり、振幅歪や位相歪が発生しなくなる。以上の説明では、演算部 85 で送信信号と歪補償信号の電力差 d を演算し、該電力差に基づいてゲインを切り替えてフィードバック信号の振幅制御をしたが、送信信号と歪補償信号の振幅差に基づいてゲインを切り替えてフィードバック信号の振幅制御することもできる。以上、第 4 実施例によれば、歪補償信号 $x'(t)$ が DAC リミットを越え、かつ送信信号 $x(t)$ と歪補償信号 $x'(t)$ の差が大きくなったときにのみ、送信信号 $x(t)$ の振幅あるいは電力に基づいてゲイン G を制御する。このため、真に必要なときを見極めてゲインを制御し、不要な時にはゲイン制御をしないから、より木目細かな振幅歪、位相歪の抑制制御ができる。

【0077】図 38 は第 4 実施例の第 1 変形例であり、第 4 実施例と同一部分には同一符号を付している。異なる点は、(1) 式 (2) が成立するとき ($d > 0$)、差信号処理部 86 は振幅制御部 81 にフィードバック信号の振幅制御の開始を指示すると共に、その差 d が閾値 D_{TH} を越えたとき、歪補償係数演算部 27 に歪補償係数演算停止を指示する点、(2) 歪補償係数演算部 27 は演算停止指示により歪補償係数の演算/更新を停止する点、である。 d が閾値 D_{TH} 以上に大きくなると、その時演算された歪補償係数の歪補償に対する効果が疑わしくなる。すなわち、歪補償係数の信頼度が弱くなる。そこで、該差 d が閾値 D_{TH} 以上に大きくなった時 $d < D_{TH}$ となるまで、歪補償係数の更新を行わず、以後それまでに得られている歪補償係数により歪補償信号を発生する。

【0078】さて、 k 倍の送信信号電力 $|x(t)|^2$ と歪補償信号電力 $|x'(t)|^2$ の差である (1) 式の d が 0 以下であれば ($d \leq 0$)、歪補償信号 $x'(t)$ が DAC リミットを越えていても、ゲイン設定部 81a は $G = 1$ を乗算器 81b に入力し、フィードバック信号 $y(t)$ の振幅を変化しない。しかし、歪補償信号 $x'(t)$ が DAC リミットを越え、かつ $d > 0$ になれば、ゲイン設定部 81a は送信信号 $x(t)$ に応じたゲイン G (> 1) をゲインテーブルより読出して乗算器 81b に入力する。乗算器 81b はフィードバック信号 $y(t)$ にゲイン G (> 1) を乗算し、信号 $y(t)' (= G \cdot y(t))$ を出力する。この結果、減算器 27b から出力する差分 $e(t)$ が減少し、歪補償係数 $h_{n+1}(n)$ は大きくなり、歪補償信号は DA 変換器リミットを越えなくなり、振幅歪や位相歪が発生しなくなる。又、差 d が更に大きくなって閾値 D_{TH} 以上になる

と、差信号処理部 86 は歪補償係数演算停止を歪補償係数演算部 27 に指示する。これにより、歪補償係数演算部 27 は歪補償係数演算を停止し、歪補償係数の更新を行わない。以上ように、 k 倍の送信信号電力と歪補償信号電力の差 d が閾値 D_{TH} 以上に大きくなったとき、歪補償係数の更新を停止するようにしたから、歪補償係数内に効果が疑わしい値になるのを防止できる。

【0079】図 39 は第 4 実施例の第 2 変形例であり、第 4 実施例と同一部分には同一符号を付している。異なる点は、(1) 歪補償係数演算に使用するステップサイズパラメータ μ を発生する μ 発生部 27g を設けている点、(2) 式 (2) が成立するとき ($d > 0$)、差信号処理部 86 は振幅制御部 81 にフィードバック信号の振幅制御の開始を指示すると共にその差 d を μ 発生部 27g に入力している点、(3) μ 発生部 27g は差 d の値に基づいてステップサイズパラメータ μ を制御する点、である。図 40 に示すように、所要 ACPR を満たすように歪みを補償し終わるまでの収束時間はステップサイズパラメータ μ の大きさに依存し、大きいほど収束時間は短くなる。ただし、 μ が大きいと目標値近傍での安定性は悪くなる。そこで、差 d の大きさに基づいて μ の値を制御し、リニアライザの収束の安定性を考慮しつつ収束時間を短縮する。例えば、差 d が閾値を超え、歪み補償制御系が発散するような状況であれば、 μ の値を大きくして発散を急速に防止する。このときゲイン G を一定としても良いし、 μ の値に対応するように動的に (例えば 1 次関数に従って) を制御しても良い。又、差 d が減少すればそれに応じて μ を減少して定常値に戻す。このようにすれば、減算器 27b から出力する差分 $e(t)$ を短時間で小さくでき歪補償信号振幅が制限値を超えないよう制御することができる。

【0080】(e) 第 5 実施例

第 1 ~ 第 4 実施例はシングルキャリアの送信装置に適用した例であるが、マルチキャリアの送信装置にも適用できる。図 41 は複数の送信信号をマルチキャリア信号を用いて送信する場合の歪補償装置 (マルチキャリアリニアライザ) の構成図であり、4 つの周波数を多重して送信する場合の例を示している。デジタルの各送信信号 $x_1(t)$, $x_2(t)$, $x_3(t)$, $x_4(t)$ は周波数シフト部 51 ~ 54 で $\exp(j\omega_1 t)$, $\exp(j\omega_2 t)$, $\exp(j\omega_3 t)$, $\exp(j\omega_4 t)$ ($\omega_n = 2\pi f_n$) を乗算されて周波数 f_1, f_2, f_3, f_4 に周波数シフトを施された後、合成部 55 で周波数多重される。このデジタル周波数多重信号はシングルキャリアの歪補償装置 (図 30) における送信信号 $x(t)$ に対応し、以後、シングルキャリアの場合と同様の歪補償処理が行われる。図 42 はマルチキャリアリニアライザの効果説明図であり、実線は歪補償なしのスペクトラム特性、点線は歪補償ありのスペクトラム特性である。尚、図 41 は、第 1 実施例の歪補償装置をマルチキャリア送信が可能なように構成した例であるが、同様に第 2

～第4実施例の歪補償装置をマルチキャリア送信が可能
なように構成することができる。

【0081】(f)第6実施例

以上の第1～第5実施例では、送信信号 $x(t)$ に歪補償
係数 $h_n(p)$ を乗算して歪補償信号 $x'(t)$ を発生して送
信電力増幅器21に入力する歪補償装置に適用した例で
あるが、主信号(送信信号) $x(t)$ と該送信信号に付加
する歪成分(誤差信号) $E(t)$ のそれぞれを独立にDA
変換した後、合成して送信電力増幅器に入力する歪補償
装置にも適用できる。図43はアナログの送信信号と誤
差信号 $E(t)$ を合成する歪補償装置の第6実施例の構成
図であり、これまでの実施例と同一部分には同一符号を
付している。図中、21は関数 $f(p)$ の非線形歪を発生
するデバイス(送信電力増幅器)、22は送信電力増幅
器の歪を補正する歪補償係数 $h(p)$ を送信信号 $x(t)$ のパ
ワー $p(=|x(t)|^2)$ に対応させて記憶する歪補償係数
記憶部、23は歪補償信号を出力するプリディストーシ
ョン部、25は送信電力増幅器の出力信号 $y(t)$ を帰還
する帰還系、26はフィードバック信号 $y(t)$ をディジ
タルに変換するAD変換器、27は歪補償前の送信信号
 $x(t)$ とフィードバック信号 $y(t)$ に基づいて歪補償係数
 $h_{n+1}(p)$ を演算する歪補償係数演算部、31は歪補償係
数記憶部22の読み出しアドレス/書き込みアドレスを
発生する送信信号のパワー演算部、81は歪補償前の送
信信号 $x(t)$ の振幅あるいは電力に基づいてフィードバ
ック信号 $y(t)$ の振幅を制御する振幅制御部である。以
上の構成は図30の第1実施例と同様であり、各部は第
1実施例と同様に動作する。

【0082】プリディストーション部23において、6
1は誤差信号発生部であり、送信信号のパワー $|x(t)|^2$
に応じた歪補償係数 $h_n(p)$ を記憶部22から読み出し、
該歪補償係数 $h_n(p)$ を送信信号 $x(t)$ に乗算する乗算器
61a、乗算器の出力信号 $x(t) \cdot h_n(p)$ と送信信号 $x(t)$
との差である誤差信号 $E(t)$ を出力する減算器61b
を有している。62はディジタルの誤差信号 $E(t)$ をア
ナログに変換するDA変換器、63は送信信号(主信号) $x(t)$
をアナログに変換するDA変換器、64はアナログの
送信信号 $x(t)$ アナログの誤差信号 $E(t)$ を合成して出力
する合成部である。

【0083】送信信号 $x(t)$ に対する歪補償処理に際し
て、誤差信号発生部61は記憶部22より歪補償係数 $h_n(p)$
を読み出して誤差信号 $E(t)$ を出力し、合成部64
はDA変換器62、63でそれぞれ独立にDA変換され
たアナログの主信号(送信信号)と誤差信号を合成して
送信電力増幅器21に入力する。誤差信号の振幅は小さ
いため、誤差信号のみを出力するDA変換器62のビッ
ト精度を低くでき、又、送信信号のみを出力するDA変
換器63に大きなダイナミックレンジが不要であり、該
DA変換器のビット精度を低くできる。振幅制御部81
は送信信号 $x(t)$ が線形/非線形境界信号レベル X_B (図3

1参照)以下では、ゲイン $G=1$ としフィードバック信
号 $y(t)$ のレベルを変化せず、そのまま歪補償係数演算
部27に入力する。歪補償係数演算部27は送信信号 $x(t)$
とフィードバック信号 $y(t)$ の差 $e(t)$ を演算し、該
差 $e(t)$ に基づいて歪補償係数 $h_{n+1}(p)$ を演算して歪補
償係数記憶部22に格納する。一方、送信信号 $x(t)$ が
線形/非線形境界信号レベル X_B 以上になると、振幅制御
部81はゲイン G を送信信号 $x(t)$ に応じて制御し、 G
 >1 にする。このため、送信信号 $x(t)$ が線形/非線形境
界信号レベル X_B 以上になって、出力信号 $y(t)$ が小さく
なり、差分 $e(t)$ が大きくなっても、直ちに振幅制御部
81は $y(t)' = G \cdot y(t)$ ($G>1$) の信号を出力し、減
算器27bから出力する差分 $e(t)$ を減少する。この結
果、歪補償係数 $h_{n+1}(n)$ が大きくなるのを防止でき、歪
補償信号がDA変換器リミットを越えないようにでき、振
幅歪や位相歪の発生を抑えることができる。

【0084】第6実施例はシングルキャリアの送信装置
に適用した例であるが、マルチキャリアの送信装置にも
適用できる。図44は複数の送信信号をマルチキャリア
信号を用いて送信する送信装置の構成図であり、図43
の第6実施例に図24のマルチキャリア構成を適用した
例で、同一部分には同一符号を付している。図44にお
いて、ディジタルの各送信信号 $x_1(t) \sim x_4(t)$ にキャリ
ア間隔によって決まるディジタル周波数シフト演算を施
して多重し、該周波数多重信号をディジタルの送信信号
とする第1の周波数多重部96、前記各周波数シフト信
号をDA変換器921～924でアナログ信号に変換して
多重し、該周波数多重信号をアナログの送信信号とする
第2の周波数多重部93が設けられている。誤差信号発
生部61は周波数多重されたディジタルの送信信号 S_R
に基づいて誤差信号 E を発生し、DA変換器62は該誤
差信号をアナログ信号に変換し、合成部64はDA変換
器出力とアナログの送信信号 S_R を合成して送信電力増
幅器21に入力する。以上、本発明を実施例により説明
したが、本発明は請求の範囲に記載した本発明の主旨に
従い種々の変形が可能であり、本発明はこれらを排除す
るものではない。

【0085】

【発明の効果】以上本発明によれば、DA変換器の入力振
幅がDA変換器のリミットを越えないように事前に歪補償
係数の大きさをその位相を維持したまま補正するから、
振幅制限しても位相追従が可能になる。この結果、歪補
償しない場合以上に歪特性を劣化させることはない。
又、本発明によれば、歪補償後の送信信号のパワーが許
容されている上限パワーを越えないように事前に歪補償
係数の大きさをその位相を維持したまま補正するから、
振幅制限しても位相追従が可能になる。又、本発明によ
れば、予め歪補償係数の補正值をテーブル化しておくこ
とにより比較演算、補正值演算処理を不要にでき、構成
をシンプルにでき、かつ、補正值を簡単に求めることが

できる。

【0086】又、本発明によれば、分母を2の冪数で近似することにより、補正值算出に際して必要になる割算をビットシフトで簡単に求めることができる。又、本発明によれば、歪補償前の送信信号の振幅（あるいは電力）とゲインの対応をテーブル化しておき、実際の送信信号振幅あるいは電力に応じたゲインをテーブルより求め、該ゲインに基づいて送信電力増幅器からのフィードバック信号の振幅を制御するようにしたから、フィードフォワード方式により歪補償信号の振幅が制限値をオーバしないようにできる。この結果、簡単な構成により、信号の有意成分（振幅及び位相）が欠落することがなくなり、歪み補償を安定に行うことが可能になる。

【0087】又、本発明によれば、歪補償信号（歪補償後の送信信号）の振幅が制限値を越えた時、送信信号と送信電力増幅器からのフィードバック信号との差が小さくなるようにゲインを大きくして該フィードバック信号の振幅を制御し、歪補償係数が大きくなるのを防止する。この結果、以後、歪補償信号振幅が制限値を越えないようにでき、信号の有意成分（振幅及び位相）が欠落することがなくなり、歪み補償を安定に行うことが可能になる。この場合、ゲインGを1以上の一定値に固定すれば振幅制御を簡単に行うことができ、又、ゲインGをテーブル化しておき送信信号に応じて制御すれば、木目細かな振幅歪、位相歪の発生防止制御が可能になる。

【0088】又、本発明によれば、歪補償前の送信信号と歪補償信号との差が大きくなったときにのみ、送信信号のレベルに基づいてゲインGを制御するようにしたから、真に必要なときを見極めてゲイン制御し、不要時にはゲイン制御をしないから、より木目細かな振幅歪、位相歪の抑制制御ができる。又、本発明によれば、歪補償前の送信信号と歪補償信号の差が閾値以上に大きくなったとき、歪補償係数の更新を停止するようにしたから、歪補償係数が効果的に疑わしい値になるのを防止できる。又、本発明によれば、歪補償前の送信信号と歪補償信号の差に基づいて歪補償係数更新のパラメータである μ の大きさを制御するようにしたから、リニアライザの収束の安定性を考慮しつつ収束時間を短縮できる。例えば、上記差が閾値を超え、歪み補償制御系が発散するような状況であれば、 μ の値を大きくして発散を急速に防止し、差が減少すればそれに応じて μ を減少して定常値に戻すことにより、収束性と安定性を維持しつつ歪補償信号振幅が制限値を超えないよう制御することができる。

【0089】又、本発明によれば、(1) 送信信号に歪補償係数を乗算して歪デバイスに入力する第1の歪補償方式、及び(2) 参照信号（送信信号）に歪補償係数を乗算して得られた信号と送信信号との差を誤差信号として発生し、誤差信号、主信号（送信信号）を別個にDA変換して合成して歪デバイスに入力する第2の歪補償方式の

両方に適用することができる。又、本発明によれば、シングルキャリアの送信装置やマルチキャリアの送信装置の両方に適用可能である。

【図面の簡単な説明】

【図1】本発明のシングルキャリアタイプの歪補償装置の概略構成図である。

【図2】本発明の原理説明図である。

【図3】本発明の第1実施例の構成図である。

【図4】本発明の第2実施例の構成図である。

【図5】本発明の第3実施例の構成図である。

【図6】本発明の第4実施例の構成図である。

【図7】本発明の第5実施例の構成図である。

【図8】本発明の第6実施例の構成図である。

【図9】マルチキャリアタイプの送信装置に歪補償装置を付加した構成図である。

【図10】マルチキャリアタイプの歪補償装置の構成図（第7実施例）である。

【図11】マルチキャリアタイプの歪補償装置の構成図（第8実施例）である。

【図12】マルチキャリアタイプの歪補償装置の構成図（第9実施例）である。

【図13】アナログの送信信号と誤差信号を合成して歪デバイスに入力する第1実施例である。

【図14】本発明の原理説明図である。

【図15】アナログの送信信号と誤差信号を合成して歪デバイスに入力する第2実施例である。

【図16】アナログの送信信号と誤差信号を合成して歪デバイスに入力する第3実施例である。

【図17】アナログの送信信号と誤差信号を合成して歪デバイスに入力する第4実施例である。

【図18】マルチキャリアタイプの送信装置に歪補償装置を付加した構成図である。

【図19】周波数変換説明図である。

【図20】マルチキャリアタイプの歪補償装置の構成図（第5実施例）である。

【図21】マルチキャリアタイプの歪補償装置の構成図（第6実施例）である。

【図22】マルチキャリアタイプの歪補償装置の構成図（第7実施例）である。

【図23】マルチキャリアタイプの歪補償装置の構成図（第8実施例）である。

【図24】マルチキャリアタイプの別の送信装置に歪補償装置を付加した構成図である。

【図25】周波数変換説明図である。

【図26】マルチキャリアタイプの歪補償装置の構成図（第9実施例）である。

【図27】マルチキャリアタイプの歪補償装置の構成図（第10実施例）である。

【図28】マルチキャリアタイプの歪補償装置の構成図（第11実施例）である。

【図29】マルチキャリアタイプの歪補償装置の構成図(第12実施例)である。

【図30】フィードバック信号の振幅制御機能を備えた歪補償装置の第1実施例である。

【図31】送信信号振幅(電力)とゲインの関係説明図である。

【図32】第1実施例の第1の変形例である。

【図33】第1実施例の第2の変形例である。

【図34】フィードバック信号の振幅制御機能を備えた歪補償装置の第2実施例である。

【図35】フィードバック信号の振幅制御機能を備えた歪補償装置の第3実施例である。

【図36】フィードバック信号の振幅制御機能を備えた歪補償装置の第4実施例である。

【図37】第4実施例の全体の処理フローである。

【図38】第4実施例の第1変形例である。

【図39】第4実施例の第2変形例である。

【図40】 μ 値と収束時間の関係説明図である。

【図41】マルチキャリアタイプの送信装置に本発明の歪補償装置を付加した構成例である。

【図42】マルチキャリアリニアライザの効果例である。

【図43】フィードバック信号の振幅制御機能を備えた歪補償装置の第6実施例である。

【図44】マルチキャリアタイプの送信装置の構成図で

ある。

【図45】従来の送信装置の構成図である。

【図46】送信電力増幅器の非直線性による問題点説明図である。

【図47】電力増幅器の効率特性説明図である。

【図48】従来のデジタル非直線型歪補償機能を備えた送信装置の構成図である。

【図49】補償部の機能構成図である。

【図50】適応LMSアルゴリズムによる歪補償処理説明図である。

【図51】 $x(t)=I(t)+jQ(t)$ と複素表現した送信装置全体の構成図である。

【図52】従来の歪補償装置の問題点説明図である。

【符号の説明】

21・・・歪デバイス(送信電力増幅器)

22・・・歪補償係数記憶部

23・・・プリディストーション部

24・・・DA変換器

25・・・帰還系

26・・・AD変換器

27・・・歪補償係数演算部

28・・・歪補償係数更新部

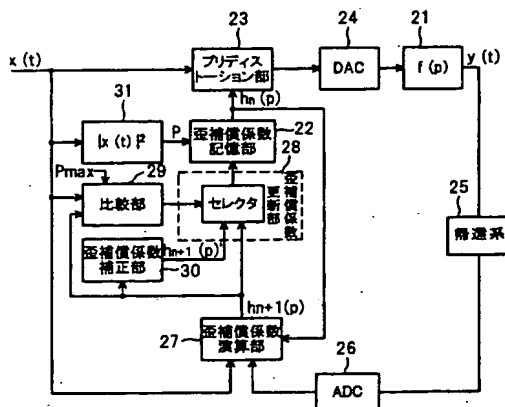
29・・・比較部

30・・・歪補償係数補正部

31・・・パワー演算部

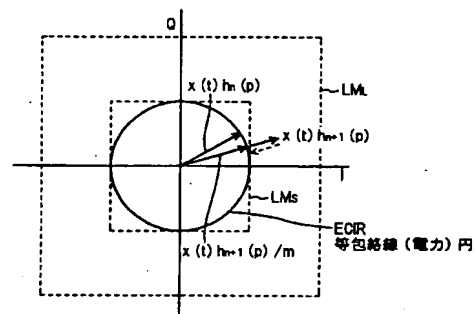
【図1】

本発明のシングルキャリアタイプ歪補償装置の概略構成図



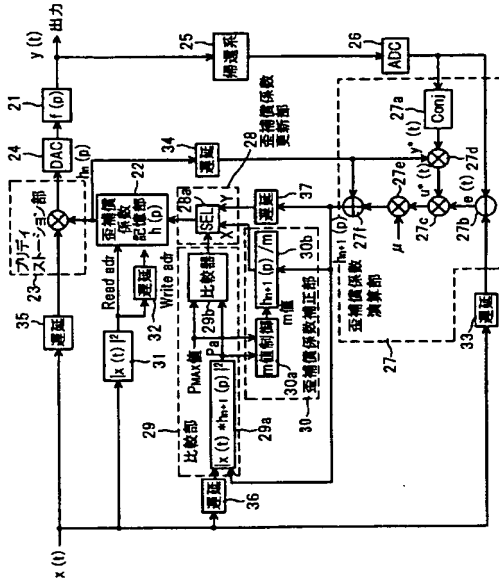
【図2】

本発明の原理説明図



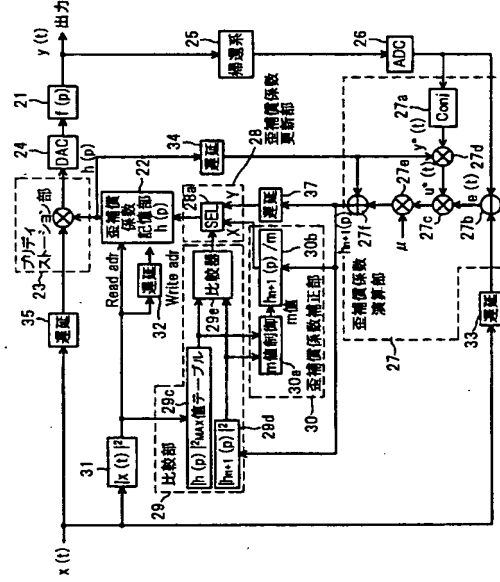
【図3】

本発明の第1実施例構成図



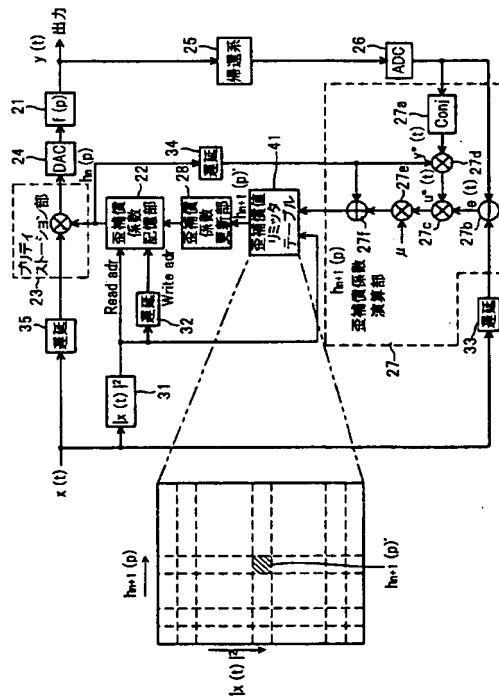
【図4】

本発明の第2実施例構成図



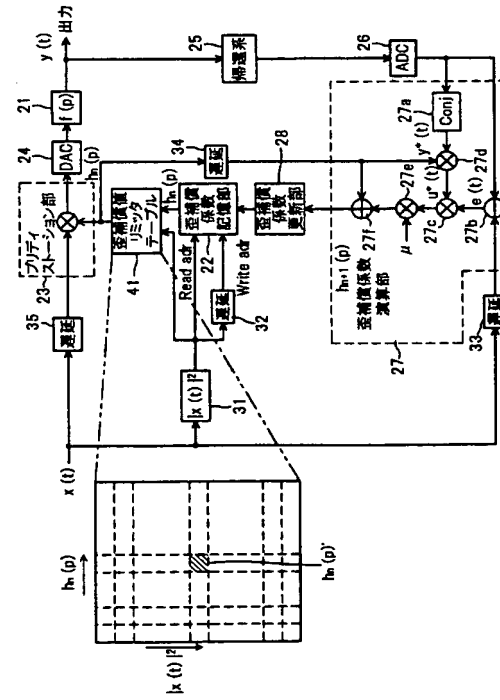
【図5】

本発明の第3実施例構成図



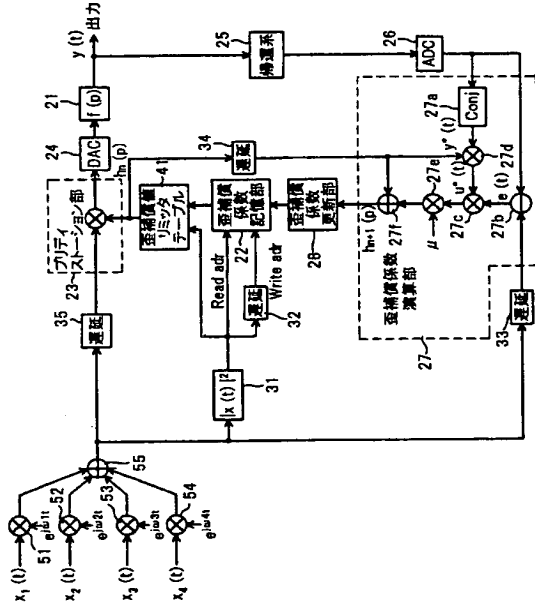
【図6】

本発明の第4実施例構成図



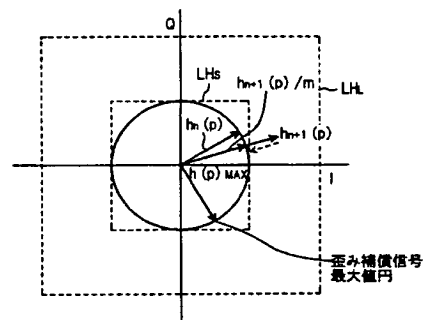
【图 1 2】

マルチキャリアタイプの構成図
(第9実施例)

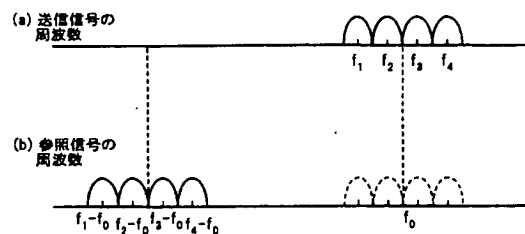


【图 14】

本発明の原理説明図

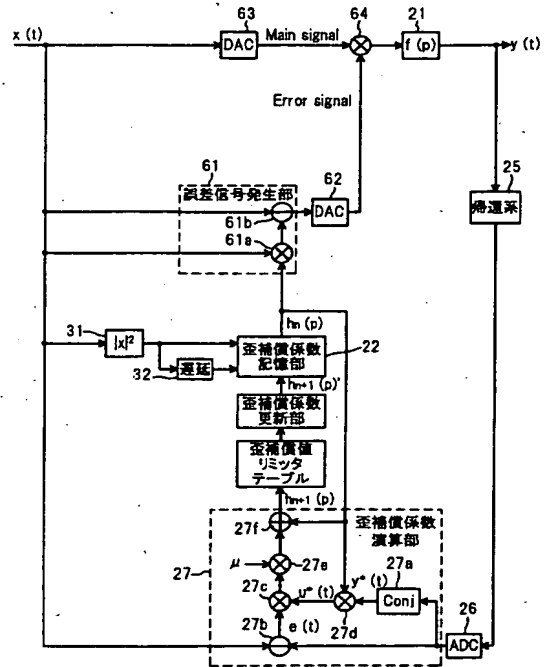


周波数変換説明図



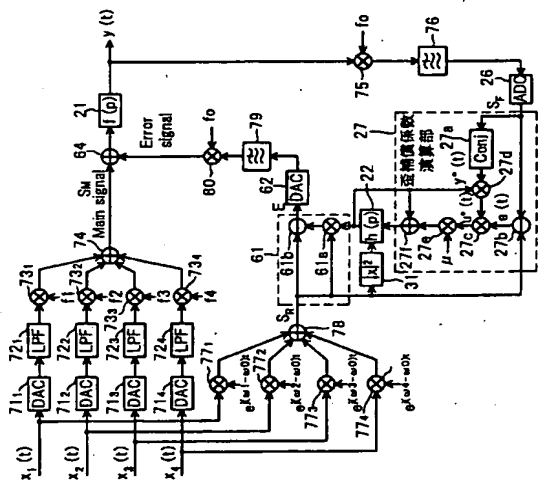
【図 16】

アナログの送信信号と誤差信号を合成して歪デバイスに入力する歪補償装置の第3実施例



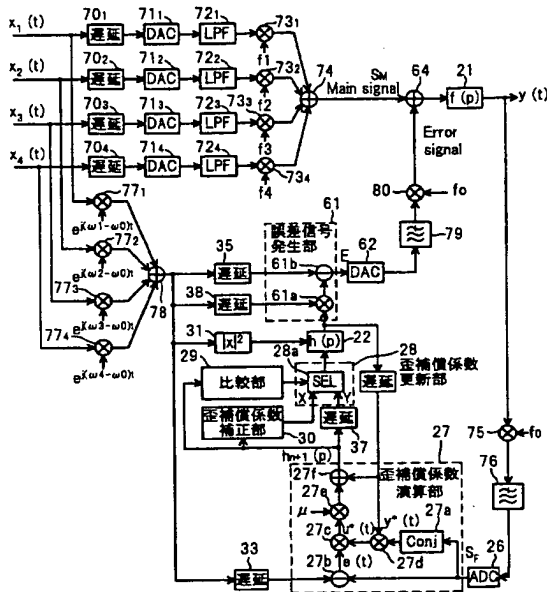
【図 18】

マルチキャリアタイプの送信装置に
歪補償装置を付加した構成



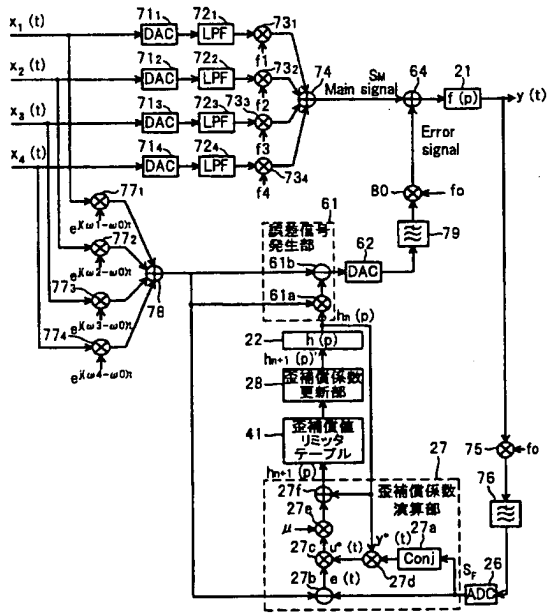
【図20】

マルチキャリアタイプ歪補償装置の構成図(第5実施例)



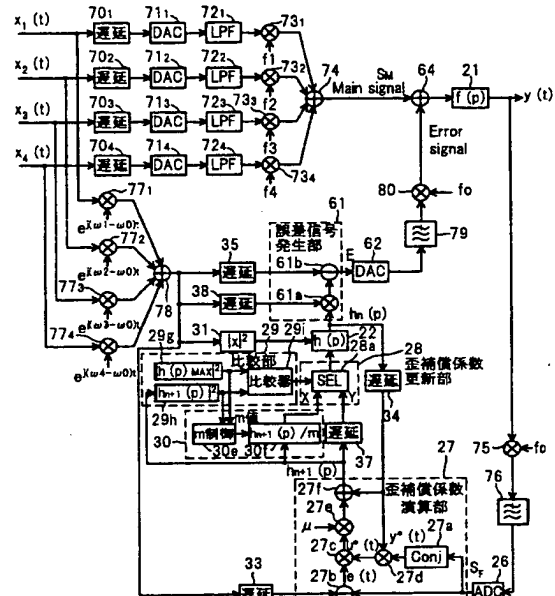
【図22】

マルチキャリアタイプ歪補償装置の構成図(第7実施例)



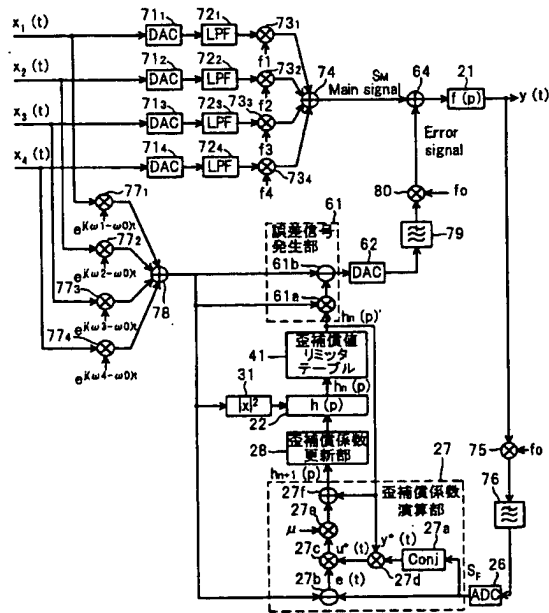
【図21】

マルチキャリアタイプ歪補償装置の構成図(第6実施例)



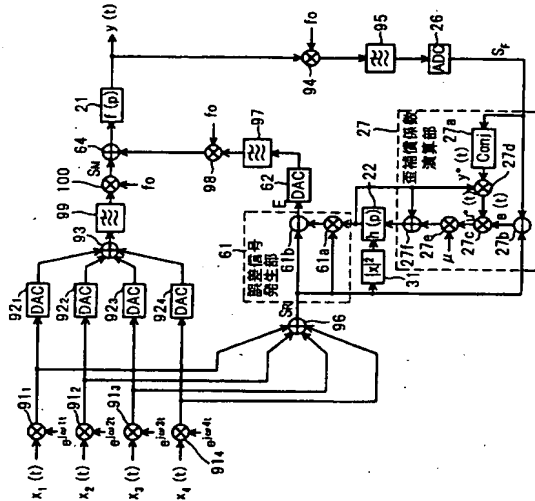
【図23】

マルチキャリアタイプ歪補償装置の構成図(第8実施例)



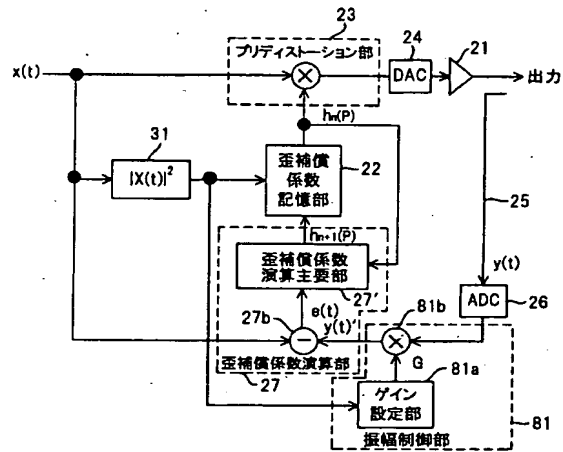
【図24】

マルチキャリアタイプの別の送信装置に
歪補償装置を付加した構成



【図30】

フィードバック信号の振幅制御機能を備えた
歪補償装置の第1実施例

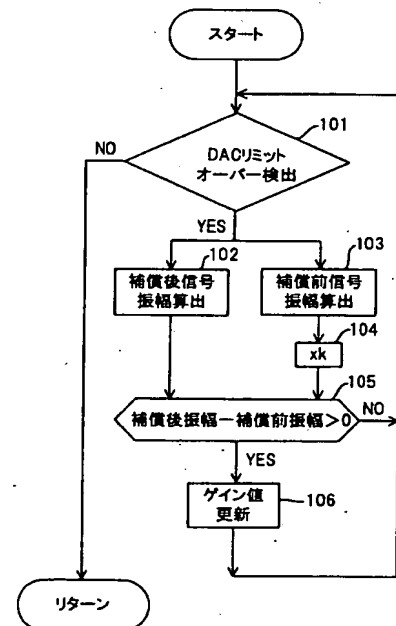
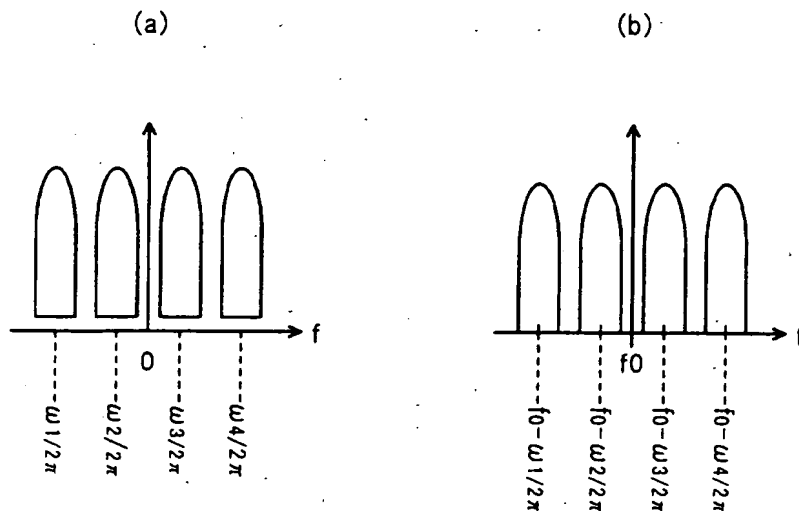


【図37】

第4実施例の全体の処理フロー

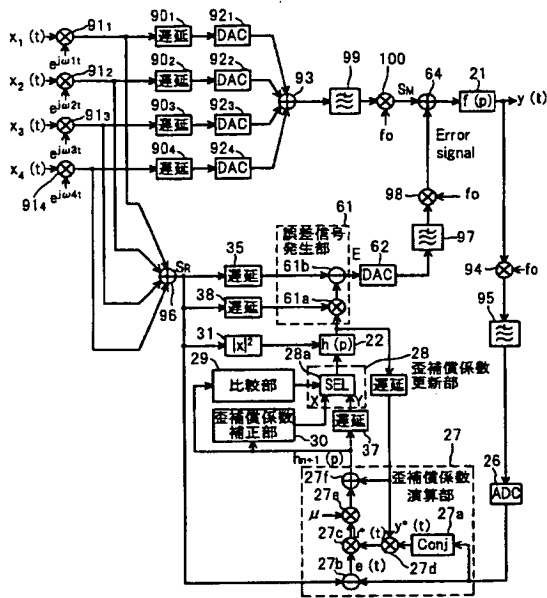
【図25】

周波数変換説明図



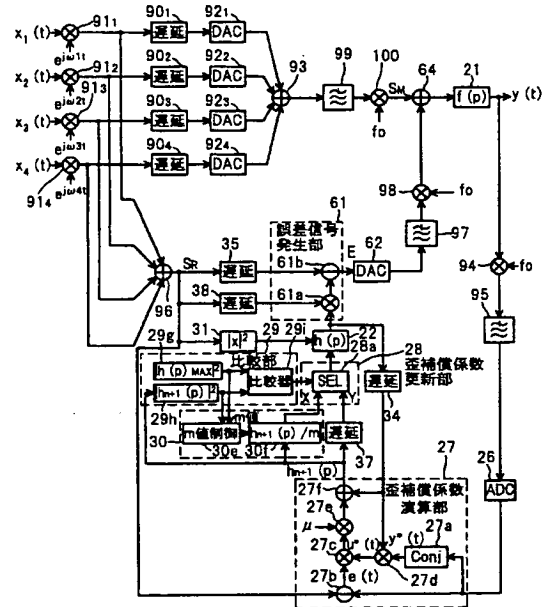
【図26】

マルチキャリアタイプ歪補償装置の構成図(第9実施例)



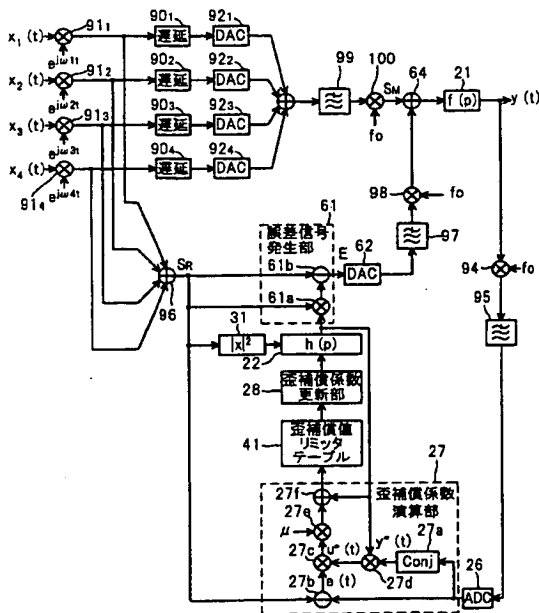
【図27】

マルチキャリアタイプ歪補償装置の構成図(第10実施例)



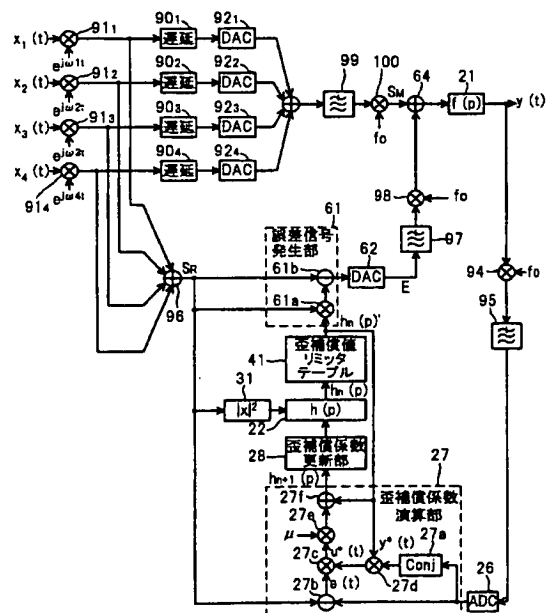
【図28】

マルチキャリアタイプ歪補償装置の構成図(第11実施例)



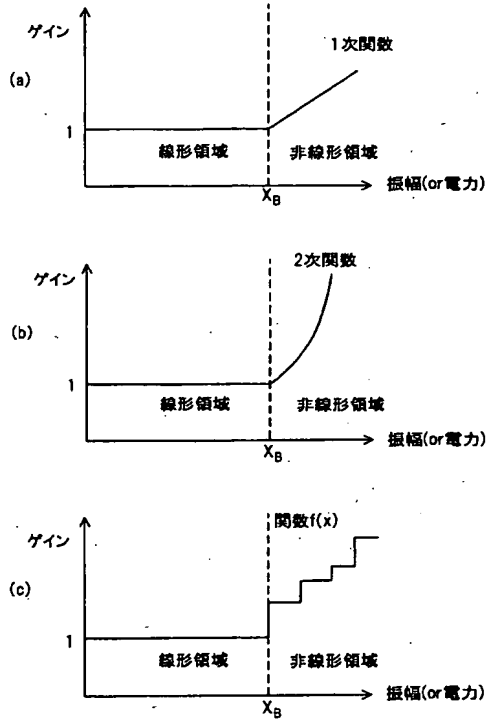
【図29】

マルチキャリアタイプ歪補償装置の構成図(第12実施例)



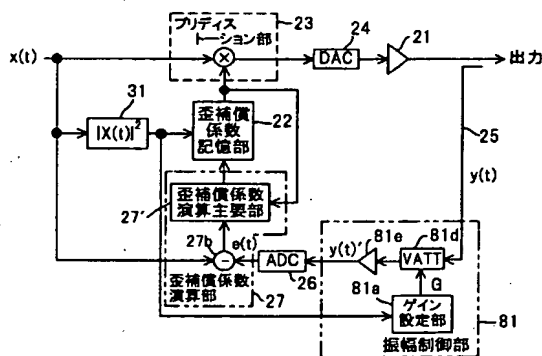
【図31】

送信信号振幅(電力)とゲインの関係説明図



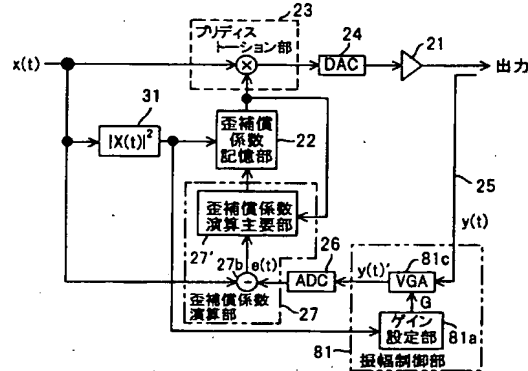
【図33】

第1実施例の第2の変形例



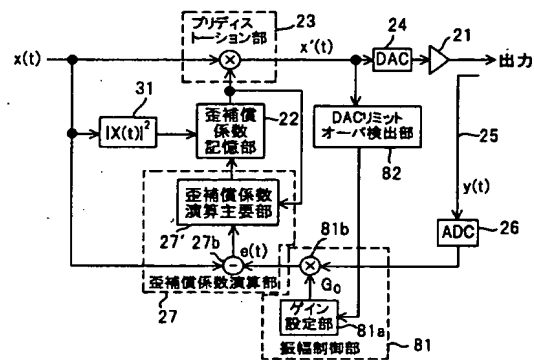
【図32】

第1実施例の第1の変形例



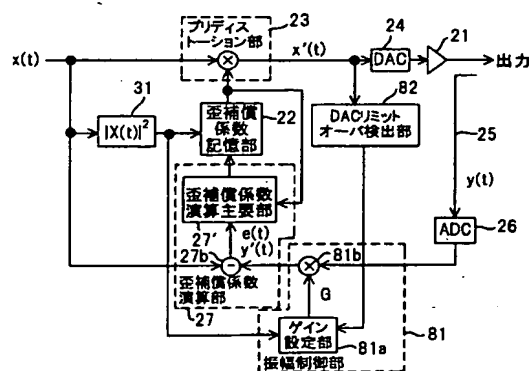
【図34】

フィードバック信号の振幅制御機能を備えた歪補償装置の第2実施例



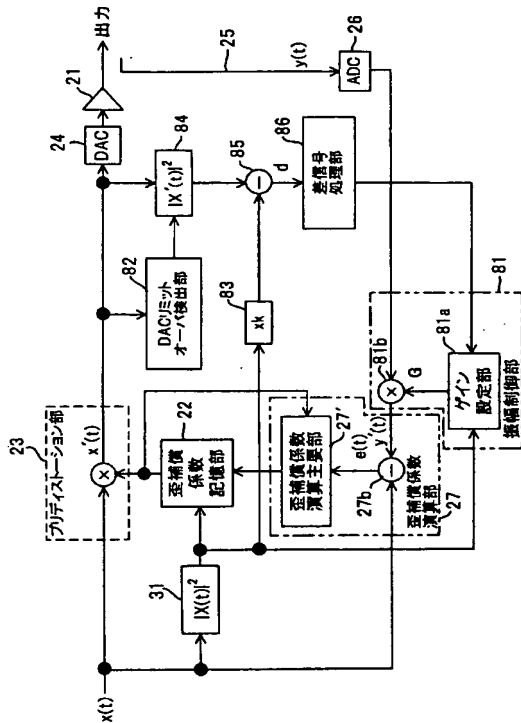
【図35】

フィードバック信号の振幅制御機能を備えた歪補償装置の第3実施例



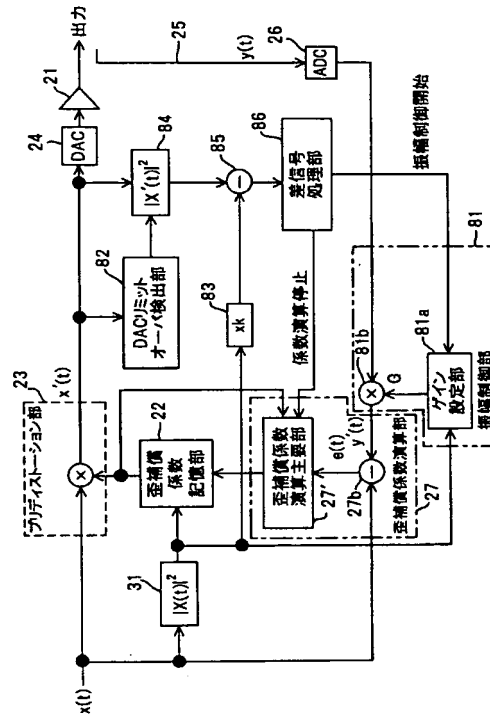
【图 3 6】

フィードバック信号の振幅制御機能を備えた歪補償装置の第4実施例



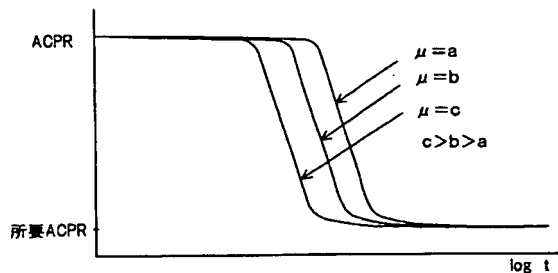
【図 3 8】

第4実施例の第1変形例



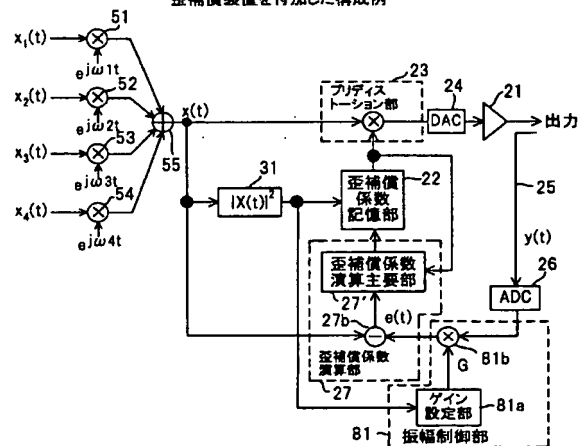
【図 40】

μ 値と収束時間の関係説明図



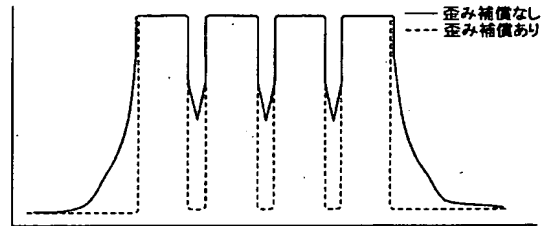
【图 4 1】

マルチキャリアタイプの送信装置に本発明の歪補償装置を付加した構成例

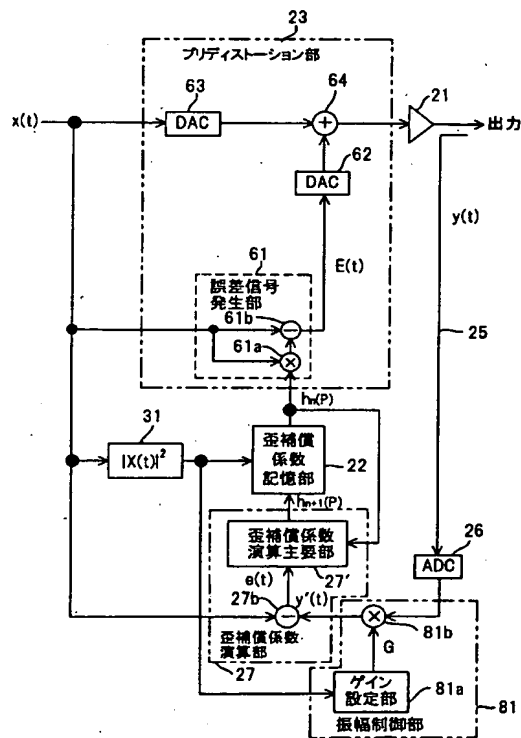


【图 4 2】

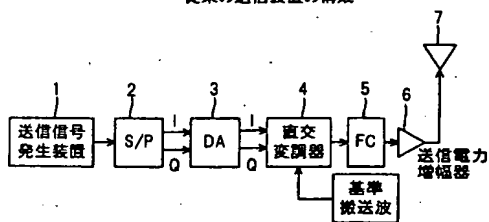
マルチキャリアリニアライザの効果例



フィードバック信号の振幅制御機能を備えた歪補償装置の第6実施例

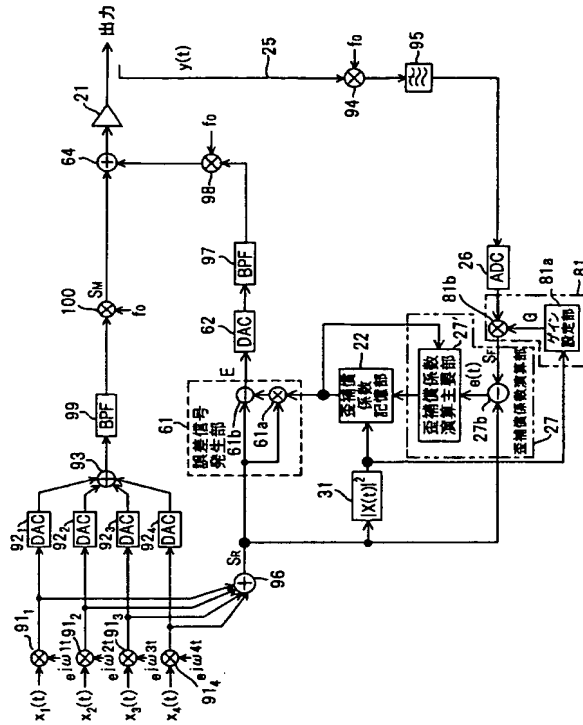


従来の送信装置の構成



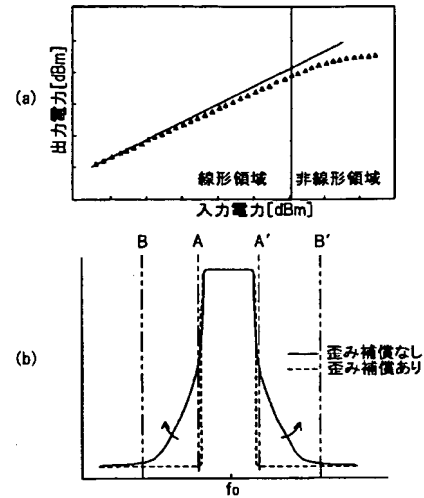
【図44】

マルチキャリアタイプの送信装置の構成図



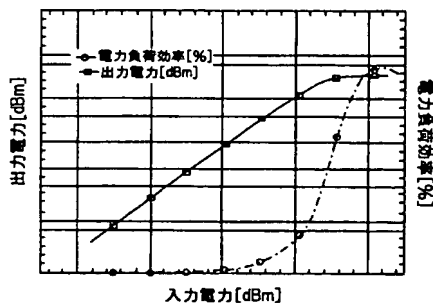
【図46】

送信電力増幅器の非直線性による問題点の説明図



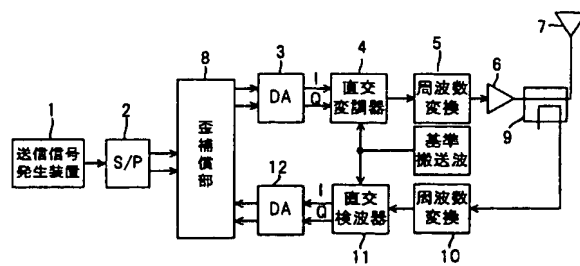
【図47】

電力増幅器の効率特性例

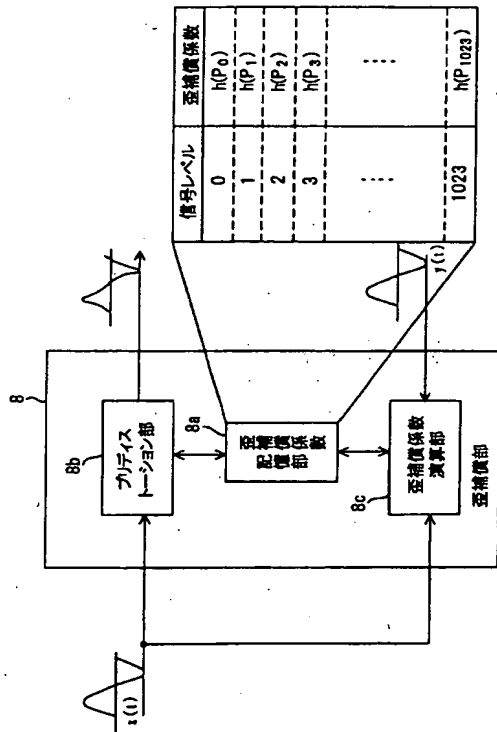


【図48】

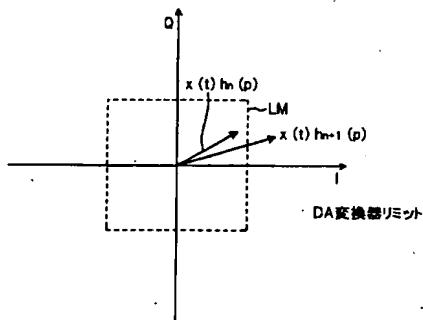
従来のデジタル非線形歪補償機能を備えた送信装置の構成図



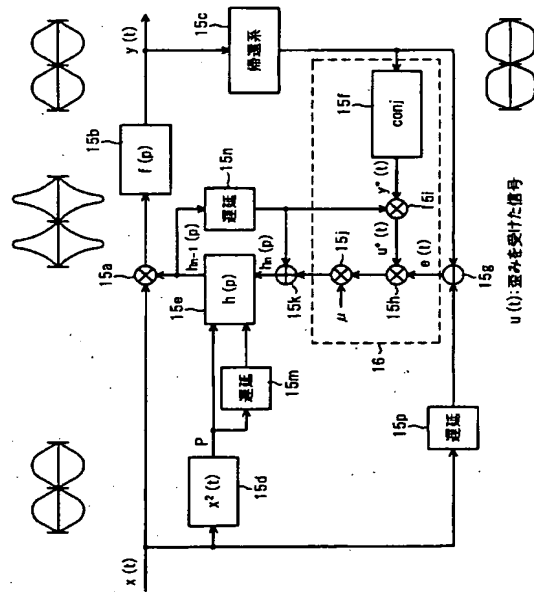
補償部の機能構成図



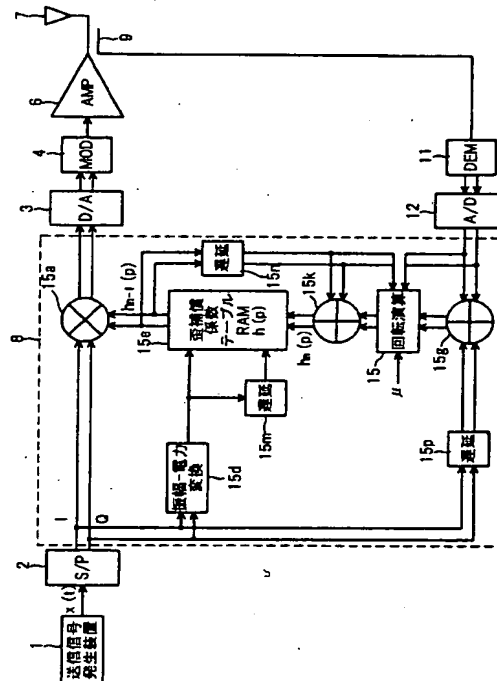
従来の歪補償装置の問題点説明図



適応LMSによる歪補償処理の説明図



$x(t) = I(t) + jQ(t)$ と複素表現した送信装置の全体の構成図



フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	キーワード (参考)
H 0 4 J 13/00		H 0 4 J 13/00	A
H 0 4 L 27/36		H 0 4 L 27/00	F
(72) 発明者 久保 徳郎 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内		F ターム (参考) 5J090 AA01 AA41 CA21 FA01 FA17	
		FA19 GN03 GN06 GN07 HN03	
		HN04 HN07 KA00 KA15 KA17	
(72) 発明者 長谷 和男 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内		KA26 KA33 KA34 KA41 KA53	
		KA55 MA11 SA14 TA01 TA02	
		TA03 TA06 TA07	
(72) 発明者 浜田 一 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内		5J091 AA01 AA41 CA21 FA01 FA17	
		FA19 KA00 KA15 KA17 KA26	
		KA33 KA34 KA41 KA53 KA55	
(72) 発明者 石川 広吉 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内		MA11 SA14 TA01 TA02 TA03	
		TA06 TA07	
		5K004 AA08 JE00 JF04	
		5K022 AA11 DD01 DD13 DD19 DD24	
		EE01 EE21	